

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日      2 0 0 3 年   1 月   6 日  
Date of Application:

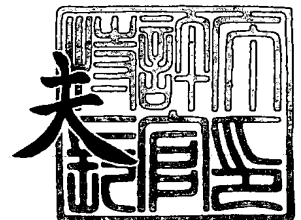
出 願 番 号      特 願 2 0 0 3 - 0 0 0 4 8 6  
Application Number:  
[ST. 10/C] :      [ J P 2 0 0 3 - 0 0 0 4 8 6 ]

出      願      人      ソニー株式会社  
Applicant(s):

2 0 0 3 年 1 0 月 1 7 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 0290705203

【提出日】 平成15年 1月 6日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 G11C 11/15  
G11C 11/14

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社  
内

【氏名】 元吉 真

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代理人】

【識別番号】 100094363

【弁理士】

【氏名又は名称】 山本 孝久

【手数料の表示】

【予納台帳番号】 048390

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9708612

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性磁気メモリ装置及びその製造方法

【特許請求の範囲】

【請求項 1】 (a) 半導体基板に形成された選択用トランジスタ、  
(b) 選択用トランジスタを覆う第 1 の層間絶縁層、  
(c) 第 1 の層間絶縁層に設けられた第 1 の開口部内に形成され、選択用トランジスタと接続された第 1 の接続孔、  
(d) 第 1 の層間絶縁層上に形成され、第 1 の方向に延びる第 1 の配線、  
(e) 第 1 の層間絶縁層及び第 1 の配線を覆う第 2 の層間絶縁層、  
(f) 第 2 の層間絶縁層上に形成され、トンネル絶縁膜が強磁性体層で挟まれて成るトンネル磁気抵抗素子、  
(g) トンネル磁気抵抗素子及び第 2 の層間絶縁層を覆う第 3 の層間絶縁層、  
(h) 第 3 の層間絶縁層上に形成され、トンネル磁気抵抗素子の一端と電氣的に接続され、第 1 の方向と異なる第 2 の方向に延びる第 2 の配線、及び、  
(i) 第 2 の層間絶縁層に設けられた第 2 の開口部内に形成され、第 1 の接続孔と接続された第 2 の接続孔、  
を有する不揮発性磁気メモリ装置であって、  
トンネル磁気抵抗素子の他端の延在部の端面が第 2 の接続孔と接していることを特徴とする不揮発性磁気メモリ装置。

【請求項 2】 (A) 半導体基板に選択用トランジスタを形成する工程と、  
(B) 全面に第 1 の層間絶縁層を形成する工程と、  
(C) 第 1 の層間絶縁層に第 1 の開口部を設け、該第 1 の開口部内に、選択用トランジスタと接続された第 1 の接続孔を形成する工程と、  
(D) 第 1 の方向に延びる第 1 の配線を、第 1 の層間絶縁層上に形成する工程と、  
(E) 全面に第 2 の層間絶縁層を形成する工程と、  
(F) 第 2 の層間絶縁層上に、少なくとも、第 1 の強磁性体層、トンネル絶縁膜、第 2 の強磁性体層から成る積層構造を形成する工程と、  
(G) 第 1 の接続孔の上方に位置する積層構造及び第 2 の層間絶縁層の部分に

第2の開口部を形成する工程と、

(H) 第2の開口部内を含む全面に導電体層を形成する工程と、

(I) 導電体層、第2の強磁性体層及びトンネル絶縁膜をパターンニングし、以て、第2の開口部内に第1の接続孔に接続された第2の接続孔を得る工程と、

(J) 第1の強磁性体層をパターンニングし、以て、トンネル絶縁膜が第1及び第2の強磁性体層で挟まれて成るトンネル磁気抵抗素子を得、併せて、第2の接続孔と端面が接した第1の強磁性体層の延在部を得る工程と、

(K) 全面に第3の層間絶縁層を形成する工程と、

(L) 第3の層間絶縁層上に、第2の強磁性体層と電氣的に接続され、第1の方向と異なる第2の方向に延びる第2の配線を形成する工程、から成ることを特徴とする不揮発性磁気メモリ装置の製造方法。

【請求項3】 (A) 半導体基板に選択用トランジスタを形成する工程と、

(B) 全面に第1の層間絶縁層を形成する工程と、

(C) 第1の層間絶縁層に第1の開口部を設け、該第1の開口部内に、選択用トランジスタと接続された第1の接続孔を形成する工程と、

(D) 第1の方向に延びる第1の配線を、第1の層間絶縁層上に形成する工程と、

(E) 全面に第2の層間絶縁層を形成する工程と、

(F) 第2の層間絶縁層上に、少なくとも、第1の強磁性体層、トンネル絶縁膜、第2の強磁性体層から成る積層構造を形成する工程と、

(G) 第2の強磁性体層及びトンネル絶縁膜をパターンニングする工程と、

(H) 第1の接続孔の上方に位置する第1の強磁性体層及び第2の層間絶縁層の部分に第2の開口部を形成する工程と、

(I) 第2の開口部内を含む全面に導電体層を形成する工程と、

(J) 導電体層をパターンニングし、以て、第2の開口部内に第1の接続孔に接続された第2の接続孔を形成する工程と、

(K) 第1の強磁性体層をパターンニングし、以て、トンネル絶縁膜が第1及び第2の強磁性体層で挟まれて成るトンネル磁気抵抗素子を得る工程と、

(L) 全面に第3の層間絶縁層を形成する工程と、

(M) 第3の層間絶縁層上に、第2の強磁性体層と電氣的に接続され、第1の方向と異なる第2の方向に延びる第2の配線を形成する工程、  
から成ることを特徴とする不揮発性磁気メモリ装置の製造方法。

【請求項4】 前記工程 (G) に引き続き、第1の強磁性体層をパターンニングし、以て、トンネル絶縁膜が第1及び第2の強磁性体層で挟まれて成るトンネル磁気抵抗素子を得、且つ、第1の強磁性体層の延在部を得る工程を含み、

前記工程 (H) においては、第1の接続孔の上方に位置する第1の強磁性体層の延在部及び第2の層間絶縁層の部分に第2の開口部を形成し、

前記工程 (J) に引き続き、前記工程 (K) を省略して、工程 (L) を実行することを特徴とする請求項3に記載の不揮発性磁気メモリ装置の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

本発明は、不揮発性磁気メモリ装置及びその製造方法に関し、より詳しくは、TMR (Tunnel Magnetoresistance) タイプのMRAM (Magnetic Random Access Memory) と呼ばれる不揮発性磁気メモリ装置及びその製造方法に関する。

##### 【0002】

#### 【従来の技術】

情報通信機器、特に携帯端末等の個人用小型機器の飛躍的な普及に伴い、これらを構成するメモリやロジック等の各種半導体装置には、高集積化、高速化、低電力化等、一層の高性能化が要請されている。特に不揮発性メモリは、ユビキタス時代に必要不可欠であると考えられている。電源の消耗やトラブル、サーバーとネットワークとが何らかの障害により切断された場合でも、不揮発性メモリによって重要な情報を保存、保護することができる。また、最近の携帯機器は不要の回路ブロックをスタンバイ状態とし、出来る限り消費電力を抑えるように設計されているが、高速のワークメモリと大容量ストレージメモリを兼ねることができる不揮発性メモリが実現できれば、消費電力とメモリの無駄を無くすることができる。また、電源を投入すると瞬時に起動できる「インスタント・オン」機能も、高速、且つ、大容量の不揮発性メモリが実現できれば可能となる。

## 【0003】

不揮発性メモリとして、半導体材料を用いたフラッシュメモリや、強誘電体材料を用いた強誘電体型不揮発性半導体メモリ（FERAM, Ferroelectric Random Access Memory）等を挙げることができる。しかしながら、フラッシュメモリは、書込み速度がマイクロ秒のオーダーであり、書込み速度が遅いという欠点がある。一方、FERAMにおいては、書換え可能回数が $10^{12} \sim 10^{14}$ であり、SRAMやDRAMをFERAMに置き換えるにはFERAMの書換え可能回数が十分とは云えず、また、強誘電体層の微細加工が難しいという問題が指摘されている。

## 【0004】

これらの欠点を有さない不揮発性メモリとして、MRAM（Magnetic Random Access Memory）と呼ばれる不揮発性磁気メモリ装置が注目されている。初期のMRAMは、GMR（Giant magnetoresistance）効果を用いたスピバルブをベースにしたものであった。しかし、負荷のメモリセル抵抗が $10 \sim 100 \Omega$ と低いため、読み出し時のビット当たりの消費電力が大きく、大容量化が難しいという欠点があった。

## 【0005】

一方、TMR（Tunnel Magnetoresistance）効果を用いたMRAMは、開発初期においては、抵抗変化率が室温で $1 \sim 2\%$ 程度しかなかったが、近年、 $20\%$ 近くの抵抗変化率が得られるようになり、TMR効果を用いたMRAMに注目が集まっている。TMRタイプのMRAMは、構造が単純で、スケーリングも容易であり、また、磁気モーメントの回転により記録を行うために、書換え可能回数が大である。更には、アクセス時間についても非常に高速であることが予想され、既に $100 \text{ MHz}$ で動作可能であると云われている。

## 【0006】

従来のTMRタイプのMRAM（以下、単に、MRAMと呼ぶ）の模式的な一部断面図を、図40に示す。このMRAMは、MOS型FETから成る選択用トランジスタTRと、トンネル磁気抵抗素子130から構成されている。

## 【0007】

トンネル磁気抵抗素子 130 は、第 1 の強磁性体層、トンネル絶縁膜 134、第 2 の強磁性体層の積層構造を有する。第 1 の強磁性体層は、より具体的には、例えば、下から反強磁性体層 132 と磁化固定層 133（固着層とも呼ばれる）との 2 層構成を有し、これらの 2 層の間に働く交換相互作用によって強い一方向の磁気異方性を有する。磁化方向が比較的容易に回転する第 2 の強磁性体層は、自由層あるいは記録層 135 とも呼ばれる。トンネル絶縁膜 134 は、記録層 135 と磁化固定層 133 との間の磁氣的結合を切ると共に、トンネル電流を流すための役割を担う。MRAM と MRAM を接続するビット線 BL は、第 3 の層間絶縁層 128 上に形成されている。ビット線 BL と記録層 135 との間に設けられたトップコート膜 136 は、ビット線 BL を構成する原子と記録層 135 を構成する原子の相互拡散の防止、接触抵抗の低減、及び、記録層 135 の酸化防止を担っている。図中、参照番号 131 は、反強磁性体層 132 と第 2 の層間絶縁層 125 との間に形成されたバリア層を示す。

#### 【0008】

更には、トンネル磁気抵抗素子 130 の下方には、第 2 の層間絶縁層 125 を介して書込みワード線 RWL が配置されている。尚、書込みワード線 RWL の延びる方向（第 1 の方向）とビット線 BL の延びる方向（第 2 の方向）とは、通常、直交している。

#### 【0009】

一方、選択用トランジスタ TR は、素子分離領域 111 によって囲まれたシリコン半導体基板 110 の部分に形成されており、第 1 の層間絶縁層 121 によって覆われている。そして、一方のソース／ドレイン領域 114 B は、タンゲステンプラグから成る第 1 の接続孔 123、ランディングパッド 124、第 2 の接続孔 127 を介して、バリア層 131、反強磁性体層 132 及び磁化固定層 133 に接続されている。即ち、第 2 の接続孔 127 は、バリア層 131、反強磁性体層 132 及び磁化固定層 133 の延在部から構成されている。また、他方のソース／ドレイン領域 114 A は、コンタクトホール 115 を介してセンス線 116 に接続されている。図中、参照番号 112 はゲート電極を示し、参照番号 113 はゲート絶縁膜を示す。

## 【0010】

MRAMアレイにあっては、ビット線BL及び書込みワード線RWLから成る格子の交点にMRAMが配置されている。

## 【0011】

このような構成のMRAMへのデータの書込みにおいては、ビット線BL及び書込みワード線RWLに電流を流し、その結果形成される合成磁界によって第2の強磁性体層（記録層135）の磁化の方向を変えることで、第2の強磁性体層（記録層135）に「1」又は「0」を記録する。

## 【0012】

一方、データの読出しは、選択用トランジスタTRをオン状態とし、ビット線BLに電流を流し、磁気抵抗効果によるトンネル電流変化をセンス線116にて検出することにより行う。記録層135と磁化固定層133の磁化方向が等しい場合、低抵抗となり（この状態を例えば「0」とする）、記録層135と磁化固定層133の磁化方向が反平行の場合、高抵抗となる（この状態を例えば「1」とする）。

## 【0013】

図40に示した従来のMRAMの製造方法の概要を、半導体基板等の模式的な一部断面図である図34の（A）、（B）、図35～図40を参照して、以下、説明する。

## 【0014】

## [工程-10]

まず、周知の方法にて、選択用トランジスタTRとして機能するMOS型FETをシリコン半導体基板から成る半導体基板110に形成する。次いで、全面に第1の層間絶縁層の下層を形成した後、ソース／ドレイン領域114Aの上方の第1の層間絶縁層の下層にリソグラフィ技術及びRIE法に基づき開口部を形成し、次いで、開口部内を含む第1の層間絶縁層の下層上に、不純物がドーピングされたポリシリコン層をCVD法にて形成する。次いで、第1の層間絶縁層の下層上のポリシリコン層をパターンニングすることで、第1の層間絶縁層の下層上にセンス線116を形成することができる。センス線116とソース／ドレイン領



域 114A とは、第 1 の層間絶縁層の下層に形成されたコンタクトホール 115 を介して接続されている。その後、全面に第 1 の層間絶縁層の上層を形成する。尚、第 1 の層間絶縁層の下層と第 1 の層間絶縁層の上層を纏めて、以下、単に、第 1 の層間絶縁層 121 と呼ぶ。

#### 【0015】

##### [工程-20]

その後、ソース／ドレイン領域 114B の上方の第 1 の層間絶縁層 121 に第 1 の開口部 122 を RIE 法にて形成した後、選択用トランジスタ TR のソース／ドレイン領域 114B に接続された第 1 の接続孔 123 を第 1 の開口部 122 内に形成する。

#### 【0016】

その後、第 1 の層間絶縁層 121 上に、書込みワード線 RWL を形成し、同時に、第 1 の接続孔 123 の頂面にランディングパッド 124 を形成する。その後、全面に第 2 の層間絶縁層 125 を形成する。こうして、図 34 の (A) に示す構造を得ることができる。

#### 【0017】

##### [工程-30]

その後、第 2 の層間絶縁層 125 上にリソグラフィ技術に基づき、ランディングパッド 124 の上方に開口 141 が形成されたレジスト層 140 を形成する (図 34 の (B) 参照)。次いで、レジスト層 140 をマスクとして、第 2 の層間絶縁層 125 をエッチングして、第 2 の層間絶縁層に第 2 の開口部 126 を形成した後、アッシング技術に基づきレジスト層 140 を除去する。こうして、図 35 に示す構造を得ることができる。次いで、良好なるコンタクトを取るため、第 2 の開口部 126 の底部に露出したランディングパッド 124 に対してアルゴンスパッタリング処理を施す。

#### 【0018】

##### [工程-40]

その後、第 2 の開口部 126 内を含む全面に、スパッタリング法にて、バリア層 131、反強磁性体層 132、磁化固定層 133、トンネル絶縁膜 134、記

録層 135、及び、トップコート膜 136 を、順次、成膜する。第 2 の開口部 126 の側壁及び底面にも、バリア層 131 からトップコート膜 136 までを堆積させる。こうして、図 36 に示す構造を得ることができる。

#### 【0019】

##### [工程-50]

次いで、リソグラフィ技術及び RIE 法に基づき、トップコート膜 136、記録層 135、及び、トンネル絶縁膜 134 をパターンニングすることで、磁化固定層 133、バリア層 131 及び反強磁性体層 132 が残され、更には、バリア層 131、反強磁性体層 132 及び磁化固定層 133 の延在部から構成された第 2 の接続孔 127 を得ることができる。こうして、図 37 に示す構造を得ることができる。

#### 【0020】

##### [工程-60]

その後、磁化固定層 133、反強磁性体層 132 及びバリア層 131 をパターンニングし（図 38 参照）、全面に第 3 の層間絶縁層 128 を形成した後、第 3 の層間絶縁層 128 を CMP 法にて平坦化し、トップコート膜 136 を露出させる（図 39 参照）。次いで、第 3 の層間絶縁層 128 上に、トップコート膜 136 と接続され、第 1 の方向と直交する第 2 の方向（図面の左右方向）に延びるビット線 BL を形成する（図 40 参照）。尚、この際、周辺回路の配線（図示せず）、ボンディングパッド領域（図示せず）も併せて形成する。更に、全面にプラズマ CVD 法にてシリコン窒素膜（図示せず）を堆積し、ボンディングパッド部（図示せず）をシリコン窒素膜に開口して、MRAM の製造工程を完了させる。

#### 【0021】

##### 【発明が解決しようとする課題】

上述したとおり、高速・高集積化が容易という長所を有する MRAM ではあるが、上述した従来のプロセスは以下に説明する問題点を有する。

#### 【0022】

トンネル磁気抵抗素子 130 の下地である第 2 の層間絶縁層 125 には、数オングストローム以下の非常に高い平坦性が要求される。トンネル磁気抵抗素子 1

30の記録層135や磁化固定層133における磁化方向は、トンネル磁気抵抗素子130の表面に平行でなければならない。然るに、第2の層間絶縁層125の表面に凹凸が存在すると、記録層135や磁化固定層133が凹凸状態となり、記録層135や磁化固定層133における磁化方向に垂直成分が発生し、トンネル磁気抵抗素子130の特性が劣化してしまうし、あるいは又、トンネル磁気抵抗素子130の特性におけるばらつきが拡大する。更には、第2の層間絶縁層125の表面に凹凸が存在すると、1nm程度と非常に薄いトンネル絶縁膜134の膜厚にもばらつきが生じ、トンネル磁気抵抗素子130の特性にばらつきが発生する。

#### 【0023】

上述の[工程-30]において、レジスト層140を第2の層間絶縁層125上から除去する際、第2の層間絶縁層125には凹凸が生成する。更には、ランディングパッド124のアルゴンスパッタリング処理によっても、第2の層間絶縁層125には凹凸が生成する。この第2の層間絶縁層125の表面が荒れた状態を模式的に図35に示す。

#### 【0024】

また、第2の接続孔127は、バリア層131、反強磁性体層132及び磁化固定層133の延在部から構成されている。トンネル磁気抵抗素子130を構成する各層は膜厚が薄く、各層を形成するためのスパッタリング装置は、高精度で、しかも、平坦、且つ、膜厚ばらつきを抑えるような仕様になっており、スパッタリングも室温で行われる。それ故、第2の開口部126のカバレッジが通常のスパッタリング装置を用いた場合よりも悪く、磁化固定層133、反強磁性体層132及びバリア層131に段切れが発生し易いといった問題もある。

#### 【0025】

従って、本発明の目的は、トンネル磁気抵抗素子を構成する各種の層の平坦化を確実に達成でき、しかも、トンネル磁気抵抗素子と選択用トランジスタとを電氣的に接続する接続孔に高い信頼性を付与し得る構造を有する不揮発性磁気メモリ装置、及び、その製造方法を提供することにある。

#### 【0026】

**【課題を解決するための手段】**

上記の目的を達成するための本発明の不揮発性磁気メモリ装置（より具体的には、TMRタイプのMRAM）は、

- (a) 半導体基板に形成された選択用トランジスタ、
  - (b) 選択用トランジスタを覆う第1の層間絶縁層、
  - (c) 第1の層間絶縁層に設けられた第1の開口部内に形成され、選択用トランジスタと接続された第1の接続孔、
  - (d) 第1の層間絶縁層上に形成され、第1の方向に延びる第1の配線、
  - (e) 第1の層間絶縁層及び第1の配線を覆う第2の層間絶縁層、
  - (f) 第2の層間絶縁層上に形成され、トンネル絶縁膜が強磁性体層で挟まれて成るトンネル磁気抵抗素子、
  - (g) トンネル磁気抵抗素子及び第2の層間絶縁層を覆う第3の層間絶縁層、
  - (h) 第3の層間絶縁層上に形成され、トンネル磁気抵抗素子の一端と電氣的に接続され、第1の方向と異なる（例えば、直交する）第2の方向に延びる第2の配線、及び、
  - (i) 第2の層間絶縁層に設けられた第2の開口部内に形成され、第1の接続孔と接続された第2の接続孔、
- を有する不揮発性磁気メモリ装置であって、
- トンネル磁気抵抗素子の他端の延在部の端面が第2の接続孔と接していることを特徴とする。

**【0027】**

本発明の不揮発性磁気メモリ装置において、第2の配線はトンネル磁気抵抗素子の一端と電氣的に接続されているが、このような構成には、第2の配線が、トンネル磁気抵抗素子の一端と間接的に接続されている形態が包含される。

**【0028】**

上記の目的を達成するための本発明の第1の態様に係る不揮発性磁気メモリ装置（より具体的には、TMRタイプのMRAM）の製造方法は、本発明の不揮発性磁気メモリ装置を製造するための方法であり、

- (A) 半導体基板に選択用トランジスタを形成する工程と、

- (B) 全面に第 1 の層間絶縁層を形成する工程と、
- (C) 第 1 の層間絶縁層に第 1 の開口部を設け、該第 1 の開口部内に、選択用トランジスタと接続された第 1 の接続孔を形成する工程と、
- (D) 第 1 の方向に延びる第 1 の配線を、第 1 の層間絶縁層上に形成する工程と、
- (E) 全面に第 2 の層間絶縁層を形成する工程と、
- (F) 第 2 の層間絶縁層上に、少なくとも、第 1 の強磁性体層、トンネル絶縁膜、第 2 の強磁性体層から成る積層構造を形成する工程と、
- (G) 第 1 の接続孔の上方に位置する積層構造及び第 2 の層間絶縁層の部分に第 2 の開口部を形成する工程と、
- (H) 第 2 の開口部内を含む全面に導電体層を形成する工程と、
- (I) 導電体層、第 2 の強磁性体層及びトンネル絶縁膜をパターンニングし、以て、第 2 の開口部内に第 1 の接続孔に接続された第 2 の接続孔を得る工程と、
- (J) 第 1 の強磁性体層をパターンニングし、以て、トンネル絶縁膜が第 1 及び第 2 の強磁性体層で挟まれて成るトンネル磁気抵抗素子を得、併せて、第 2 の接続孔と端面が接した第 1 の強磁性体層の延在部を得る工程と、
- (K) 全面に第 3 の層間絶縁層を形成する工程と、
- (L) 第 3 の層間絶縁層上に、第 2 の強磁性体層と電氣的に接続され、第 1 の方向と異なる（例えば、直交する）第 2 の方向に延びる第 2 の配線を形成する工程、
- から成ることを特徴とする。

#### 【0029】

本発明の第 1 の態様に係る不揮発性磁気メモリ装置の製造方法にあつては、第 1 の強磁性体層が、後述するように、例えば、下から反強磁性体層と磁化固定層から構成されている場合、前記工程（I）において、導電体層、第 2 の強磁性体層及びトンネル絶縁膜に加えて、磁化固定層をパターンニングしてもよく、この場合には、前記工程（J）において、第 1 の強磁性体層をパターンニングするが、具体的には、反強磁性体層をパターンニングし、第 2 の接続孔と端面が接した第 1 の強磁性体層の延在部（より具体的には、反強磁性体層の延在部）を得ることがで

きる。

### 【0030】

上記の目的を達成するための本発明の第2の態様に係る不揮発性磁気メモリ装置（より具体的には、TMRタイプのMRAM）の製造方法は、本発明の不揮発性磁気メモリ装置を製造するための方法であり、

- (A) 半導体基板に選択用トランジスタを形成する工程と、
  - (B) 全面に第1の層間絶縁層を形成する工程と、
  - (C) 第1の層間絶縁層に第1の開口部を設け、該第1の開口部内に、選択用トランジスタと接続された第1の接続孔を形成する工程と、
  - (D) 第1の方向に延びる第1の配線を、第1の層間絶縁層上に形成する工程と、
  - (E) 全面に第2の層間絶縁層を形成する工程と、
  - (F) 第2の層間絶縁層上に、少なくとも、第1の強磁性体層、トンネル絶縁膜、第2の強磁性体層から成る積層構造を形成する工程と、
  - (G) 第2の強磁性体層及びトンネル絶縁膜をパターンニングする工程と、
  - (H) 第1の接続孔の上方に位置する第1の強磁性体層及び第2の層間絶縁層の部分に第2の開口部を形成する工程と、
  - (I) 第2の開口部内を含む全面に導電体層を形成する工程と、
  - (J) 導電体層をパターンニングし、以て、第2の開口部内に第1の接続孔に接続された第2の接続孔を形成する工程と、
  - (K) 第1の強磁性体層をパターンニングし、以て、トンネル絶縁膜が第1及び第2の強磁性体層で挟まれて成るトンネル磁気抵抗素子を得る工程と、
  - (L) 全面に第3の層間絶縁層を形成する工程と、
  - (M) 第3の層間絶縁層上に、第2の強磁性体層と電氣的に接続され、第1の方向と異なる（例えば、直交する）第2の方向に延びる第2の配線を形成する工程、
- から成ることを特徴とする。

### 【0031】

本発明の第2の態様に係る不揮発性磁気メモリ装置の製造方法にあっては、第

1の強磁性体層が、後述するように、例えば、下から反強磁性体層と磁化固定層から構成されている場合、前記工程（G）において、第2の強磁性体層及びトンネル絶縁膜に加えて、磁化固定層をパターンニングしてもよく、この場合には、前記工程（H）において、具体的には、第1の接続孔の上方に位置する反強磁性体層及び第2の層間絶縁層の部分に第2の開口部を形成し、前記工程（K）において、第1の強磁性体層をパターンニングするが、具体的には、反強磁性体層をパターンニングする。これによって、第2の接続孔と端面が接した第1の強磁性体層の延在部（より具体的には、反強磁性体層の延在部）を得ることができる。

#### 【0032】

本発明の第2の態様に係る不揮発性磁気メモリ装置の製造方法にあつては、前記工程（G）に引き続き、第1の強磁性体層をパターンニングし、以て、トンネル絶縁膜が第1及び第2の強磁性体層で挟まれて成るトンネル磁気抵抗素子を得、且つ、第1の強磁性体層の延在部を得る工程を含み、

前記工程（H）においては、第1の接続孔の上方に位置する第1の強磁性体層の延在部及び第2の層間絶縁層の部分に第2の開口部を形成し、

前記工程（J）に引き続き、前記工程（K）を省略して、工程（L）を実行する構成とすることもできる。

#### 【0033】

尚、このような不揮発性磁気メモリ装置の製造方法を、便宜上、本発明の第3の態様に係る不揮発性磁気メモリ装置の製造方法と呼ぶ。

#### 【0034】

本発明の第1の態様～第3の態様に係る不揮発性磁気メモリ装置の製造方法にあつては、第2の配線は第2の強磁性体層と電気的に接続されているが、このような構成には、第2の配線が、第2の強磁性体層と間接的に接続されている形態が包含される。

#### 【0035】

本発明の不揮発性磁気メモリ装置、本発明の第1の態様～第3の態様に係る不揮発性磁気メモリ装置の製造方法（以下、これらを総称して、単に、本発明と呼ぶ場合がある）において、第1の強磁性体層は、より具体的には、例えば、下か

ら反強磁性体層と磁化固定層（固着層とも呼ばれる）との2層構成を有していることが好ましく、これによって、これらの2層の間に働く交換相互作用によって強い一方向の磁気異方性を有することができる。磁化方向が比較的容易に回転する第2の強磁性体層は、自由層あるいは記録層とも呼ばれる。トンネル絶縁膜は、第2の強磁性体層（記録層）と磁化固定層との間の磁氣的結合を切ると共に、トンネル電流を流すための役割を担う。

#### 【0036】

磁化固定層（固着層）及び第2の強磁性体層（記録層、自由層）は、例えば、遷移金属磁性元素、具体的には、ニッケル（Ni）、鉄（Fe）又はコバルト（Co）から構成された強磁性体、あるいはこれらの合金（例えば、Co-Fe、Co-Fe-Ni、Ni-Fe等）を主成分とする強磁性体から構成することができる。また、所謂ハーフメタリック強磁性体材料や、CoFe-Bといったアモルファス強磁性体材料を用いることもできる。反強磁性体層を構成する材料として、例えば、鉄-マンガン合金、ニッケル-マンガン合金、白金-マンガン合金、イリジウム-マンガン合金、ロジウム-マンガン合金、コバルト酸化物、ニッケル酸化物を挙げることができる。これらの層は、例えば、スパッタリング法、イオンビーム堆積法、真空蒸着法に例示される物理的气相成長法（PVD法）、ALD（Atomic Layer Deposition）法に代表されるCVD法にて形成することができる。

#### 【0037】

トンネル絶縁膜を構成する絶縁材料として、アルミニウム酸化物（ $AlO_x$ ）、アルミニウム窒化物（AlN）、マグネシウム酸化物（MgO）、マグネシウム窒化物、シリコン酸化物、シリコン窒化物を挙げることができ、更には、Ge、NiO、 $CdO_x$ 、 $HfO_2$ 、 $Ta_2O_5$ 、BN、ZnSを挙げることができる。トンネル絶縁膜は、例えば、スパッタリング法にて形成された金属膜を酸化若しくは窒化することにより得ることができる。より具体的には、トンネル絶縁膜を構成する絶縁材料としてアルミニウム酸化物（ $AlO_x$ ）を用いる場合、例えば、スパッタリング法にて形成されたアルミニウムを大気中で酸化する方法、スパッタリング法にて形成されたアルミニウムをプラズマ酸化する方法、スパッタリ



ング法にて形成されたアルミニウムを I P C プラズマで酸化する方法、スパッタリング法にて形成されたアルミニウムを酸素中で自然酸化する方法、スパッタリング法にて形成されたアルミニウムを酸素ラジカルで酸化する方法、スパッタリング法にて形成されたアルミニウムを酸素中で自然酸化させるときに紫外線を照射する方法、アルミニウムを反応性スパッタリング法にて成膜する方法、酸化アルミニウムをスパッタリング法にて成膜する方法を例示することができる。あるいは又、トンネル絶縁膜を A L D 法によって形成することができる。

#### 【0038】

第1の配線（書込みワード線）あるいは第2の配線（ビット線）は、例えば、アルミニウム、A l - C u 等のアルミニウム系合金、銅（C u）から成り、例えば、スパッタリング法に例示される P V D 法や、化学的気相成長法（C V D 法）、電解メッキ法に代表されるメッキ法にて形成することができる。また、導電体層は、例えば、アルミニウム、A l - C u 等のアルミニウム系合金、銅（C u）、T a、T a N、T i、T i N、W、W N、ルテニウム（R u）から成り、例えば、スパッタリング法に例示される P V D 法や、C V D 法、メッキ法にて形成することができる。第2の接続孔は、この導電体層から構成されている。

#### 【0039】

第1の接続孔は、不純物がドーピングされたポリシリコンや、タングステン、T i、P t、P d、C u、T i W、T i N W、W S i<sub>2</sub>、M o S i<sub>2</sub>等の高融点金属や金属シリサイドから構成することができ、C V D 法や、スパッタリング法に例示される P V D 法に基づき形成することができる。

#### 【0040】

積層構造のパターニングや選択的な除去は、例えば、反応性イオンエッチング（R I E）法やイオンミリング法にて行うことができる。また、場合によっては、所謂リフトオフ法にてパターニングを行うこともできる。

#### 【0041】

選択用トランジスタは、例えば、周知の M I S 型 F E T や M O S 型 F E T、バイポーラトランジスタから構成することができる。

#### 【0042】

各種の層間絶縁層を構成する材料として、酸化シリコン ( $\text{SiO}_2$ )、窒化シリコン ( $\text{SiN}$ )、 $\text{SiON}$ 、 $\text{SiOG}$ 、 $\text{NSG}$ 、 $\text{BPSG}$ 、 $\text{PSG}$ 、 $\text{BSG}$ 、 $\text{FSG}$ 、 $\text{SiOC}$ 、 $\text{SiC}$ 、有機膜 (所謂  $\text{Low-k}$  材料)、あるいは、 $\text{LTO}$ 、 $\text{Al}_2\text{O}_3$  を例示することができる。

#### 【0043】

本発明の第1の態様に係る不揮発性磁気メモリ装置の製造方法においては、工程 (F) の後に工程 (G) を実行するので、第2の層間絶縁層の表面に凹凸が生成することを確実に防止することができる。また、工程 (H) 及び工程 (I) において第2の接続孔を形成するので、トンネル磁気抵抗素子と選択用トランジスタとを電氣的に接続する第2の接続孔に高い信頼性を与えることができる。

#### 【0044】

本発明の第2の態様あるいは第3の態様に係る不揮発性磁気メモリ装置の製造方法においては、工程 (F) の後に工程 (H) を実行するので、第2の層間絶縁層の表面に凹凸が生成することを確実に防止することができる。また、工程 (I) 及び工程 (J) において第2の接続孔を形成するので、トンネル磁気抵抗素子と選択用トランジスタとを電氣的に接続する第2の接続孔に高い信頼性を与えることができる。

#### 【0045】

##### 【発明の実施の形態】

以下、図面を参照して、発明の実施の形態 (以下、実施の形態と略称する) に基づき本発明を説明する。

#### 【0046】

##### (実施の形態1)

実施の形態1は、本発明の不揮発性磁気メモリ装置 (以下、 $\text{MRAM}$  と称する) 、及び、本発明の第1の態様に係る  $\text{MRAM}$  の製造方法に関する。実施の形態1の  $\text{TMR}$  タイプの  $\text{MRAM}$  の模式的な一部断面図を図8に示す。

#### 【0047】

この  $\text{MRAM}$  は、選択用トランジスタ  $\text{TR}$  、第1の層間絶縁層 21、第1の接続孔 23、第1の配線 (書込みワード線  $\text{RWL}$ ) 、第2の層間絶縁層 25、トン

ネル磁気抵抗素子 30、第 3 の層間絶縁層 26、第 2 の配線（ビット線 BL）、及び、第 2 の接続孔 52 を有する。

#### 【0048】

ここで、MOS 型 FET から成る選択用トランジスタ TR は、シリコン半導体基板から成る半導体基板 10 に形成されている。より具体的には、選択用トランジスタ TR は、素子分離領域 11 に囲まれた活性領域内に形成され、ゲート電極 12、ゲート絶縁膜 13、ソース／ドレイン領域 14A、14B から構成されている。例えば SiO<sub>2</sub> 及び BPSG から成る第 1 の層間絶縁層 21 は、選択用トランジスタ TR を覆っている。タングステンプラグから成る第 1 の接続孔 23 は、第 1 の層間絶縁層 21 に設けられた第 1 の開口部 22 内に形成されており、選択用トランジスタ TR の一方のソース／ドレイン領域 14B と接続されている。第 1 の接続孔 23 は、更に、第 1 の層間絶縁層 21 上に形成されたランディングパッド 24 と接続されている。第 1 の配線（書込みワード線 RWL）は銅（Cu）から成り、第 2 の層間絶縁層 25 上に形成され、第 1 の方向（図面の紙面垂直方向）に延びている。SiO<sub>2</sub> から成る第 2 の層間絶縁層 25 は、第 1 の層間絶縁層 21 及び書込みワード線 RWL を覆っている。尚、選択用トランジスタ TR の他方のソース／ドレイン領域 14A は、コンタクトホール 15 を介してセンス線 16 に接続されている。

#### 【0049】

トンネル磁気抵抗素子 30 は、第 2 の層間絶縁層 25 上に形成され、下から、第 1 の強磁性体層、AlO<sub>x</sub> から成るトンネル絶縁膜 34、Ni-Fe 合金から成る第 2 の強磁性体層 35（自由層あるいは記録層とも呼ばれる）の積層構造を有する。第 1 の強磁性体層は、より具体的には、下から、Fe-Mn 合金から成る反強磁性体層 32、Ni-Fe 合金から成る磁化固定層 33 の 2 層構成を有する。この磁化固定層 33 は、反強磁性体層 32 との交換結合によって、磁化の方向がピニング（pinning）される。外部印加磁場によって、第 2 の強磁性体層（記録層）35 の磁化の方向は、磁化固定層 33 に対して平行又は反平行に変えられる。反強磁性体層 32 と第 2 の層間絶縁層 25 との間には、窒化チタン、タンタル若しくは窒化タンタルから成るバリア層 31 が設けられている。尚、参照番

号36は、バリア層31と同じ材料から成るトップコート膜である。トップコート膜36は、ビット線BLを構成する原子と第2の強磁性体層（記録層）35を構成する原子の相互拡散の防止、接触抵抗の低減、及び、第2の強磁性体層（記録層）35の酸化防止を担っている。

#### 【0050】

SiO<sub>2</sub>から成る第3の層間絶縁層26は、トンネル磁気抵抗素子30、第2の層間絶縁層25、並びに、磁化固定層33、反強磁性体層32及びバリア層31の延在部37を覆っている。また、第2の配線であるビット線BLは、第3の層間絶縁層25上に形成され、トンネル磁気抵抗素子30の一端（より具体的には、第2の強磁性体層（記録層）35）と電気的に接続され、第1の方向と異なる（具体的には直交する）第2の方向（図面の左右方向）に延びている。

#### 【0051】

Taから成る第2の接続孔52は、第2の層間絶縁層25に設けられた第2の開口部50内に形成され、第1の接続孔23と接続されている。より具体的には、第2の接続孔52は、ランディングパッド24と接している。第2の接続孔52の頂部はトップコート膜36上に形成されている。

#### 【0052】

そして、トンネル磁気抵抗素子の他端の延在部37（より具体的には、第2の層間絶縁層25上を延在する磁化固定層33、反強磁性体層32及びバリア層31の延在部）の端面は、第2の接続孔52と接している。

#### 【0053】

実施の形態1、あるいは、後述する実施の形態2～実施の形態6におけるMRAMの動作、アレイ構成は、従来のMRAMの動作（書込み動作、読出し動作）、アレイ構成と基本的に同じである。

#### 【0054】

以下、半導体基板10等の模式的な一部断面図である図1～図8を参照して、実施の形態1のMRAMの製造方法を説明する。

#### 【0055】

[工程-100]

先ず、選択用トランジスタTRとして機能するMOS型FETをシリコン半導体基板から成る半導体基板10に形成する。そのために、例えばトレンチ構造を有する素子分離領域11を公知の方法に基づき形成する。尚、素子分離領域は、LOCOS構造を有していてもよいし、LOCOS構造とトレンチ構造の組合せとしてもよい。その後、半導体基板10の表面を例えばパイロジェニック法により酸化し、ゲート絶縁膜13を形成する。次いで、不純物がドーピングされたポリシリコン層をCVD法にて全面に形成した後、ポリシリコン層をパターニングし、ゲート電極12を形成する。尚、ゲート電極12をポリシリコン層から構成する代わりに、ポリサイドや金属シリサイドから構成することもできる。次に、半導体基板10にイオン注入を行い、LDD構造（図示せず）を形成する。その後、全面にCVD法にてSiO<sub>2</sub>層を形成した後、このSiO<sub>2</sub>層をエッチバックすることによって、ゲート電極12の側面にゲートサイドウォール（図示せず）を形成する。次いで、半導体基板10にイオン注入を施した後、イオン注入された不純物の活性化アニール処理を行うことによって、ソース／ドレイン領域14A、14Bを形成する。

#### 【0056】

##### [工程-105]

次いで、全面にSiO<sub>2</sub>から成る第1の層間絶縁層の下層をCVD法にて形成した後、化学的／機械的研磨法（CMP法）にて第1の層間絶縁層の下層を研磨する。その後、ソース／ドレイン領域14Aの上方の第1の層間絶縁層の下層にリソグラフィ技術及びRIE法に基づき開口部を形成し、次いで、開口部内を含む第1の層間絶縁層の下層上に、不純物がドーピングされたポリシリコン層をCVD法にて形成する。次いで、第1の層間絶縁層の下層上のポリシリコン層をパターニングすることで、第1の層間絶縁層の下層上にセンス線16を形成することができる。センス線16とソース／ドレイン領域14Aとは、第1の層間絶縁層の下層に形成されたコンタクトホール15を介して接続されている。その後、BPSGから成る第1の層間絶縁層の上層をCVD法にて全面に形成する。尚、BPSGから成る第1の層間絶縁層の上層の形成後、窒素ガス雰囲気中で例えば900°C×20分間、第1の層間絶縁層の上層をリフローさせることが好まし

い。更には、必要に応じて、例えばCMP法にて第1の層間絶縁層の上層の頂面を化学的及び機械的に研磨し、第1の層間絶縁層の上層を平坦化したり、レジストエッチバック法によって第1の層間絶縁層の上層を平坦化することが望ましい。尚、第1の層間絶縁層の下層と第1の層間絶縁層の上層を纏めて、以下、単に、第1の層間絶縁層21と呼ぶ。

#### 【0057】

##### [工程-110]

その後、ソース／ドレイン領域14Bの上方の第1の層間絶縁層21に第1の開口部22をRIE法にて形成した後、選択用トランジスタTRのソース／ドレイン領域14Bに接続された第1の接続孔23を第1の開口部22内に形成する。第1の接続孔23の頂面は第1の層間絶縁層21の表面と略同じ平面に存在している。例えば、ブランケットタンゲステンCVD法にて第1の開口部22をタンゲステンプラグで埋め込み、第1の接続孔23を形成することができる。尚、タンゲステンにて第1の開口部22を埋め込む前に、Ti層及びTiN層を順に例えばマグネトロンスパッタリング法にて第1の開口部22内を含む第1の層間絶縁層21の上に形成することが好ましい。ここで、Ti層及びTiN層を形成する理由は、オーミックな低コンタクト抵抗を得ること、ブランケットタンゲステンCVD法における半導体基板10の損傷発生の防止、タンゲステンの密着性向上のためである。図面においては、Ti層及びTiN層の図示は省略している。第1の層間絶縁層21上のタンゲステン層、TiN層、Ti層は、CMP法にて除去してもよい。また、タンゲステンの代わりに、不純物がドーピングされたポリシリコンを用いることもできる。

#### 【0058】

##### [工程-115]

その後、第1の層間絶縁層21上に、Cu層をスパッタリング法にて成膜し、このCu層をパターニングすることによって、第1の配線（書込みワード線RWL）及びランディングパッド24を形成する。

#### 【0059】

尚、第1の配線（書込みワード線RWL）及びランディングパッド24を、所

謂ダマシン法にて形成してもよい。即ち、第1の層間絶縁層21上に絶縁膜を形成し、第1の配線（書込みワード線RWL）及びランディングパッド24を形成すべき絶縁膜の部分に凹部を形成する。その後、厚さ20nmのTa膜、厚さ0.1μmの銅膜を、それぞれ、スパッタリング法にて成膜した後、銅メッキを行い、凹部をCu層で埋め込み、次いで、絶縁膜上のCu層、銅膜、Ta膜を、例えば、CMP法にて除去する。

#### 【0060】

##### [工程-120]

その後、例えば、第1の配線（書込みワード線RWL）上において厚さが50nmとなるように、全面に、CVD法にてSiO<sub>2</sub>から成る第2の層間絶縁層25を形成する（図1参照）。この状態においては、第2の層間絶縁層25の表面は十分に平滑である。尚、必要に応じて、例えばCMP法にて第2の層間絶縁層25の平坦化処理を行ってもよい。

#### 【0061】

##### [工程-125]

その後、第2の層間絶縁層25上に、少なくとも、第1の強磁性体層、トンネル絶縁膜34及び第2の強磁性体層（記録層）35から成る積層構造を形成する。

#### 【0062】

具体的には、バリア層31、反強磁性体層32、磁化固定層33、トンネル絶縁膜34、第2の強磁性体層（記録層）35、バリア層31と同じ材料から成るトップコート膜36を、順次、PVD法で成膜する。こうして、図2に示す構造を得ることができる。トンネル絶縁膜34は、例えば、AlO<sub>x</sub>から構成されている。トンネル絶縁膜34は、膜厚が0.5nm～5nmと非常に薄いため、ALD法によって形成し、あるいは又、スパッタリング法にてアルミニウム薄膜を成膜した後、アルミニウム薄膜をプラズマ酸化することで形成することが好ましいが、このような形成方法に限定するものではない。

#### 【0063】

##### [工程-130]

次いで、リソグラフィ技術に基づき、ランディングパッド 24 の上方に開口 41 が設けられたレジスト層 40 をトップコート膜 36 上に形成する（図 3 参照）。その後、第 1 の接続孔 23 の上方に位置する積層構造（バリア層 31 からトップコート膜 36 までの積層構造）及び第 2 の層間絶縁層 25 の部分に R I E 法にて第 2 の開口部 50 を形成した後、アッシング技術に基づきレジスト層 40 を除去する。こうして、図 4 に示す構造を得ることができる。その後、必要に応じて、第 2 の開口部 50 の底部に露出したランディングパッド 24 に対してアルゴンスパッタリング処理を行う。

#### 【0064】

##### [工程-135]

その後、第 2 の開口部 50 内を含む全面に、Ta から成る厚さ 50 nm の導電体層 51 をスパッタリング法にて形成する（図 5 参照）。尚、導電体層 51 は、例えば C V D 法にて形成することもできる。

#### 【0065】

##### [工程-140]

次に、リソグラフィ技術及び R I E 法に基づき、導電体層 51、トップコート膜 36、第 2 の強磁性体層（記録層）35 及びトンネル絶縁膜 34 をパターンニングする。こうして、第 2 の開口部 50 内に第 1 の接続孔 23（より具体的には、ランディングパッド 24）に接続された第 2 の接続孔 52 を得ることができる（図 6 参照）。尚、エッチングの終点がトンネル絶縁膜 34 となるように、R I E 条件を設定する。エッチングガスとして、C l<sub>2</sub>、B C l<sub>3</sub>等のハロゲンの混合ガス、又は、C O に N H<sub>3</sub>を添加したガス系等を用いることができる。第 2 の強磁性体層（記録層）35 とトンネル絶縁膜 34 のエッチング選択比が 10 以上となる条件（第 2 の強磁性体層 35 のエッチング速度／トンネル絶縁膜 34 のエッチング速度＝10／1）とするか、あるいは又、エッチング速度を落として薄いトンネル絶縁膜 34 中でエッチングを止めるように、エッチング条件を設定することが重要である。磁化固定層 33 が厚さ方向に部分的にエッチングされると、磁化固定層 33 の平面形状にばらつきが生じる結果、トンネル磁気抵抗素子 30 の特性にばらつきが発生する虞がある。



## 【0066】

## [工程-145]

その後、第1の強磁性体層（磁化固定層33及び反強磁性体層32）、更には、バリア層31をパターンニングする。これによって、トンネル絶縁膜34が第1及び第2の強磁性体層32, 33, 35で挟まれて成るトンネル磁気抵抗素子30を得ることができ、併せて、第2の接続孔52と端面が接した第1の強磁性体層の延在部37（磁化固定層33及び反強磁性体層32の延在部、更には、バリア層31の延在部）を得ることができる。こうして、図7に示す構造を得ることができる。

## 【0067】

## [工程-150]

次いで、全面に、SiO<sub>2</sub>から成る厚さ0.3  $\mu$ mの第3の層間絶縁層26をプラズマCVD法にて形成した後、第3の層間絶縁層26をCMP法にて平坦化する。

## 【0068】

## [工程-155]

その後、リソグラフィ技術及びエッチング技術に基づき、第3の層間絶縁層26に開口を設け、この開口内を含む第3の層間絶縁層26上に、第2の強磁性体層（記録層）35と電氣的に接続され（より具体的には、導電体層51に接続され）、第1の方向と直交する第2の方向（図面の左右方向）に延びる第2の配線（ビット線BL）を、スパッタリング法、リソグラフィ技術及びエッチング技術に基づき形成する（図8参照）。尚、この際、周辺回路の配線（図示せず）、ボンディングパッド領域（図示せず）も併せて形成する。

## 【0069】

## [工程-160]

更に、全面にプラズマCVD法にてシリコン窒素膜（図示せず）を堆積し、ボンディングパッド部（図示せず）をシリコン窒素膜に開口して、MRAMの製造工程を完了させる。

## 【0070】

実施の形態 1 においては、[工程-130] において、レジスト層 40 の除去の際、第 2 の層間絶縁層 25 は積層構造によって覆われているので、第 2 の層間絶縁層 25 の表面に凹凸が生成することは無い。また、必要に応じて、第 2 の開口部 50 の底部に露出したランディングパッド 24 に対してアルゴンスパッタリング処理を行ったときにも、第 2 の層間絶縁層 25 の表面に凹凸が生成することは無い。更には、[工程-135] 及び [工程-140] において第 2 の接続孔 52 を設けるので、高い信頼性を有する第 2 の接続孔 52 を得ることができる。

#### 【0071】

(実施の形態 2)

実施の形態 2 は、実施の形態 1 の MRAM の製造方法の変形である。実施の形態 2 においては、前記 [工程-140] と同様の工程において、導電体層 51、トップコート膜 36、第 2 の強磁性体層（記録層）35 及びトンネル絶縁膜 34 に加えて、磁化固定層 33 をパターニングする。そして、前記 [工程-145] と同様の工程において、第 1 の強磁性体層をパターニングするが、具体的には、反強磁性体層 32 をパターニングする。これによって、第 2 の接続孔 52 と端面が接した第 1 の強磁性体層の延在部 37（より具体的には、反強磁性体層 32 の延在部）を得ることができる。

#### 【0072】

以下、半導体基板 10 等の模式的な一部断面図である図 9～図 11 を参照して、実施の形態 2 の MRAM の製造方法を説明する。

#### 【0073】

[工程-200]

先ず、実施の形態 1 の [工程-100] ～ [工程-135] までの工程と同様の工程を実行する。

#### 【0074】

[工程-205]

次いで、実施の形態 1 の [工程-140] と同様の工程において、導電体層 51、トップコート膜 36、第 2 の強磁性体層（記録層）35 及びトンネル絶縁膜 34 に加えて、更には、磁化固定層 33 をパターニングする。こうして、図 9 に

示す構造を得ることができる。尚、露出した反強磁性体層 32 の表面に磁化固定層 33 が局所的に存在しないように、磁化固定層 33 を若干オーバーエッチングすることが重要である。露出した反強磁性体層 32 の表面に磁化固定層 33 が局所的に存在すると、トンネル磁気抵抗素子 30 の特性にばらつきが発生する虞がある。

#### 【0075】

##### [工程-210]

その後、実施の形態 1 の [工程-145] と同様の工程において、第 1 の強磁性体層を構成する反強磁性体層 32、更には、バリア層 31 をパターンニングする。こうして、第 2 の接続孔 52 と端面が接した第 1 の強磁性体層の延在部 37 (具体的には、反強磁性体層 32、更には、バリア層 31 の延在部) を得ることができる(図 10 参照)。

#### 【0076】

##### [工程-215]

次いで、実施の形態 1 の [工程-150] ~ [工程-160] と同様の工程を実行することで、MRAM を完成させる。尚、[工程-155] と同様が完了した時点の構造を、図 11 に示す。

#### 【0077】

##### (実施の形態 3)

実施の形態 3 は、本発明の MRAM、及び、本発明の第 2 の態様に係る MRAM の製造方法に関する。実施の形態 3 の TMR タイプの MRAM の模式的な一部断面図を図 17 に示すが、トップコート膜 36、第 2 の強磁性体層(記録層) 35 及びトンネル絶縁膜 34 の側面にサイドウォール 60 が形成されている点、第 2 の接続孔 52 の頂部が磁化固定層 33 上に形成されている点を除き、実質的に、実施の形態 1 にて説明した MRAM と同様の構造を有する。

#### 【0078】

以下、半導体基板 10 等の模式的な一部断面図である図 12 ~ 図 17 を参照して、実施の形態 3 の MRAM の製造方法を説明する。

#### 【0079】

## [工程-300]

半導体基板10に選択用トランジスタTRを形成する工程、全面に第1の層間絶縁層21を形成する工程、第1の層間絶縁層21に第1の開口部22を設け、この第1の開口部22内に選択用トランジスタTRと接続された第1の接続孔23を形成する工程、第1の方向に延びる第1の配線(書込みワード線RWL)を第1の層間絶縁層21上に形成する工程、全面に第2の層間絶縁層25を形成する工程、第2の層間絶縁層25上に、少なくとも、第1の強磁性体層32、33、トンネル絶縁膜34、第2の強磁性体層(記録層)35から成る積層構造を形成する工程は、実質的に、実施の形態1の[工程-100]～[工程-125]と同様とすることができるので、詳細な説明は省略する。

## 【0080】

## [工程-305]

次いで、リソグラフィ技術に基づき、レジスト層(図示せず)をトップコート膜36上に形成した後、トップコート膜36、第2の強磁性体層(記録層)35及びトンネル絶縁膜34をパターンニングし、アッシング技術に基づきレジスト層を除去する。こうして、図12に示す構造を得ることができる。尚、エッチングの終点がトンネル絶縁膜34となるように、RIE条件を設定する。エッチングガスとして、 $Cl_2$ 、 $BCl_3$ 等のハロゲンの混合ガス、又は、COに $NH_3$ を添加したガス系等を用いることができる。第2の強磁性体層(記録層)35とトンネル絶縁膜34のエッチング選択比が10以上となる条件(第2の強磁性体層35のエッチング速度/トンネル絶縁膜34のエッチング速度=10/1)とするか、あるいは又、エッチング速度を落として薄いトンネル絶縁膜34中でエッチングを止めるように、エッチング条件を設定することが重要である。磁化固定層33が厚さ方向に部分的にエッチングされると、磁化固定層33の平面形状にばらつきが生じる結果、トンネル磁気抵抗素子30の特性にばらつきが発生する虞がある。

## 【0081】

## [工程-310]

その後、全面に、例えばSiN膜を成膜し、このSiN膜をエッチバックする

ことによって、トップコート膜 36、第 2 の強磁性体層（記録層）35 及びトンネル絶縁膜 34 の側面にサイドウォール 60 を形成する（図 13 参照）。サイドウォール 60 を形成することで、後の工程において、導電体層 51 を形成したとき、各層が導電体層 51 によって短絡することを確実に防止することができる。

#### 【0082】

##### [工程-315]

次に、第 1 の接続孔 23 の上方（より具体的には、ランディングパッド 24 の上方）に位置する第 1 の強磁性体層（磁化固定層 33 及び反強磁性体層 32）並びに第 2 の層間絶縁層 25 の部分に第 2 の開口部 50 を形成する。具体的には、リソグラフィ技術に基づき、ランディングパッド 24 の上方に開口が設けられたレジスト層（図示せず）を全面に形成する。その後、第 1 の接続孔 23 の上方に位置する第 1 の強磁性体層（磁化固定層 33 及び反強磁性体層 32）、バリア層 31、並びに、第 2 の層間絶縁層 25 の部分に RIE 法にて第 2 の開口部 50 を形成した後、アッシング技術に基づきレジスト層を除去する。こうして、図 14 に示す構造を得ることができる。その後、必要に応じて、第 2 の開口部 50 の底部に露出したランディングパッド 24 に対してアルゴンスパッタリング処理を行う。

#### 【0083】

##### [工程-320]

その後、第 2 の開口部 50 内を含む全面に（より具体的には、第 2 の開口部 50 内を含む磁化固定層 33 上に）、Ta から成る厚さ 50 nm の導電体層 51 をスパッタリング法にて形成する。尚、導電体層 51 は、例えば CVD 法にて形成することもできる。

#### 【0084】

##### [工程-325]

次に、リソグラフィ技術及びエッチング技術に基づき、導電体層 51 をパターンニングする。こうして、第 2 の開口部 50 内に、第 1 の接続孔 23 に接続された（より具体的には、ランディングパッド 24 と接する）第 2 の接続孔 52 を形成することができる（図 15 参照）。

## 【0085】

## [工程-330]

その後、第1の強磁性体層（磁化固定層33及び反強磁性体層32）、更には、バリア層31をパターンニングする。これによって、トンネル絶縁膜34が第1及び第2の強磁性体層32、33、35で挟まれて成るトンネル磁気抵抗素子30を得ることができ、併せて、第2の接続孔52と端面が接した第1の強磁性体層の延在部37（磁化固定層33及び反強磁性体層32の延在部、更には、バリア層31の延在部）を得ることができる。こうして、図16に示す構造を得ることができる。

## 【0086】

## [工程-335]

その後、全面に第3の層間絶縁層26を形成する工程、第3の層間絶縁層26上に第2の強磁性体層（記録層）35と電氣的に接続され、第1の方向と異なる第2の方向に延びる第2の配線（ビット線BL）を形成する工程を実行する。具体的には、実施の形態1の[工程-150]～[工程-160]と同様の工程を実行すればよい。尚、[工程-155]と同様が完了した時点の構造を、図17に示す。

## 【0087】

実施の形態3においても、[工程-315]において、レジスト層の除去の際、第2の層間絶縁層25は積層構造によって覆われているので、第2の層間絶縁層25の表面に凹凸が生成することは無い。また、必要に応じて、第2の開口部50の底部に露出したランディングパッド24に対してアルゴンスパッタリング処理を行ったときにも、第2の層間絶縁層25の表面に凹凸が生成することは無い。更には、[工程-320]及び[工程-325]において第2の接続孔52を設けるので、高い信頼性を有する第2の接続孔52を得ることができる。

## 【0088】

## （実施の形態4）

実施の形態4は、実施の形態3のMRAMの製造方法の変形である。

## 【0089】

実施の形態4においては、前記[工程-305]と同様の工程において、トップコート膜36、第2の強磁性体層(記録層)35及びトンネル絶縁膜34に加えて、磁化固定層33をパターンニングする。そして、前記[工程-315]と同様の工程において、第1の接続孔23の上方に位置する反強磁性体層32及び第2の層間絶縁層25の部分に第2の開口部50を形成する。更には、前記[工程-320]と同様の工程においては、第2の開口部50内を含む反強磁性体層32上に導電体層51を形成し、前記[工程-325]と同様の工程において、第1の強磁性体層をパターンニングするが、具体的には、反強磁性体層32をパターンニングする。これによって、第2の接続孔52と端面が接した第1の強磁性体層の延在部37(より具体的には、反強磁性体層32の延在部)を得ることができる。尚、第2の接続孔52の頂部が反強磁性体層32上に形成されている点が、実施の形態3にて説明したMRAMと異なっている。

#### 【0090】

以下、半導体基板10等の模式的な一部断面図である図18～図23を参照して、実施の形態4のMRAMの製造方法を説明する。

#### 【0091】

##### [工程-400]

先ず、実施の形態3の[工程-300]と同様の工程を実行する。

#### 【0092】

##### [工程-405]

次いで、実施の形態3の[工程-305]と同様の工程において、トップコート膜36、第2の強磁性体層(記録層)35及びトンネル絶縁膜34に加えて、磁化固定層33をパターンニングする。こうして、図18に示す構造を得ることができる。尚、露出した反強磁性体層32の表面に磁化固定層33が局所的に存在しないように、磁化固定層33を若干オーバーエッチングすることが重要である。露出した反強磁性体層32の表面に磁化固定層33が局所的に存在すると、トンネル磁気抵抗素子30の特性にばらつきが発生する虞がある。

#### 【0093】

##### [工程-410]

その後、実施の形態 3 の [工程-310] と同様の工程において、トップコート膜 36、第 2 の強磁性体層（記録層）35、トンネル絶縁膜 34 及び磁化固定層 33 の側面にサイドウォール 60 を形成する（図 19 参照）。

#### 【0094】

##### [工程-415]

次に、第 1 の接続孔 23 の上方（より具体的には、ランディングパッド 24 の上方）に位置する第 1 の強磁性体層（より具体的には、反強磁性体層 32）並びに第 2 の層間絶縁層 25 の部分に第 2 の開口部 50 を形成する。具体的には、リソグラフィ技術に基づき、ランディングパッド 24 の上方に開口が設けられたレジスト層（図示せず）を全面に形成する。その後、第 1 の接続孔 23 の上方に位置する第 1 の強磁性体層（具体的には、反強磁性体層 32）、バリア層 31 及び第 2 の層間絶縁層 25 の部分に RIE 法にて第 2 の開口部 50 を形成した後、アッシング技術に基づきレジスト層を除去する。こうして、図 20 に示す構造を得ることができる。その後、必要に応じて、第 2 の開口部 50 の底部に露出したランディングパッド 24 に対してアルゴンスパッタリング処理を行う。

#### 【0095】

##### [工程-420]

その後、第 2 の開口部 50 内を含む全面に（より具体的には、第 2 の開口部 50 内を含む反強磁性体層 32 上に）、Ta から成る厚さ 50 nm の導電体層 51 をスパッタリング法にて形成する。尚、導電体層 51 は、例えば CVD 法にて形成することもできる。

#### 【0096】

##### [工程-425]

次に、リソグラフィ技術及びエッチング技術に基づき、導電体層 51 をパターニングする。こうして、第 2 の開口部 50 内に、第 1 の接続孔 23 に接続された（より具体的には、ランディングパッド 24 と接する）第 2 の接続孔 52 を形成することができる（図 21 参照）。

#### 【0097】

##### [工程-430]



その後、第1の強磁性体層（具体的には、反強磁性体層32）、更には、バリア層31をパターンニングする。これによって、トンネル絶縁膜34が第1及び第2の強磁性体層32、33、35で挟まれて成るトンネル磁気抵抗素子30を得ることができ、併せて、第2の接続孔52と端面が接した第1の強磁性体層の延在部37（具体的には、反強磁性体層32の延在部、更には、バリア層31の延在部）を得ることができる。こうして、図22に示す構造を得ることができる。

#### 【0098】

##### [工程-435]

その後、全面に第3の層間絶縁層26を形成する工程、第3の層間絶縁層26上に第2の強磁性体層（記録層）35と電氣的に接続され、第1の方向と異なる第2の方向に延びる第2の配線（ビット線BL）を形成する工程を実行する。具体的には、実施の形態1の[工程-150]～[工程-160]と同様の工程を実行すればよい。尚、[工程-155]と同様が完了した時点の構造を、図23に示す。

#### 【0099】

##### （実施の形態5）

実施の形態5も、実施の形態3のMRAMの製造方法の変形であり、本発明の第3の態様に係るMRAMの製造方法に関する。

#### 【0100】

実施の形態5のTMRタイプのMRAMの模式的な一部断面図を図28に示すが、トップコート膜36、第2の強磁性体層（記録層）35、トンネル絶縁膜34、磁化固定層33、反強磁性体層32及びバリア層31の側面にサイドウォール60が形成されている点、第2の接続孔52の頂部が磁化固定層33上に形成されている点を除き、実質的に、実施の形態1にて説明したMRAMと同様の構造を有する。

#### 【0101】

実施の形態5においては、前記[工程-305]と同様の工程に引き続き、第1の強磁性体層をパターンニングし、以て、トンネル絶縁膜34が第1及び第2の強磁性体層32、33、35で挟まれて成るトンネル磁気抵抗素子30を得、且

つ、第1の強磁性体層の延在部37を得る工程を含む。また、前記[工程-315]と同様の工程においては、第1の接続孔23の上方に位置する第1の強磁性体層の延在部37及び第2の層間絶縁層25の部分に第2の開口部50を形成し、前記[工程-325]と同様の工程に引き続き、前記[工程-330]と同様の工程を省略して、[工程-335]と同様の工程以降の工程を実行する。実施の形態5のMRAMの製造方法にあつては、第2の接続孔52と端面が接した第1の強磁性体層の延在部37（より具体的には、磁化固定層33及び反強磁性体層32の延在部）を得ることができる。

#### 【0102】

以下、半導体基板10等の模式的な一部断面図である図24～図28を参照して、実施の形態5のMRAMの製造方法を説明する。

#### 【0103】

##### [工程-500]

先ず、実施の形態3の[工程-300]と同様の工程を実行する。

#### 【0104】

##### [工程-505]

次いで、実施の形態3の[工程-305]と同様の工程を実行する。

#### 【0105】

##### [工程-510]

その後、リソグラフィ技術及びRIE法に基づき、第1の強磁性体層をパターンニングし、以て、トンネル絶縁膜34が第1及び第2の強磁性体層32、33、35で挟まれて成るトンネル磁気抵抗素子30を得る。同時に、第1の強磁性体層の延在部37（具体的には、磁化固定層33、反強磁性体層32及びバリア層31の延在部）を得る。こうして、図24に示す構造を得ることができる。

#### 【0106】

##### [工程-515]

次に、実施の形態3の[工程-310]と同様の工程を実行することで、トップコート膜36、第2の強磁性体層（記録層）35、トンネル絶縁膜34、磁化固定層33、反強磁性体層32及びバリア層31の側面にサイドウォール60を

形成する（図 25 参照）。

【0107】

[工程-520]

その後、第 1 の接続孔 23 の上方（より具体的には、ランディングパッド 24 の上方）に位置する第 1 の強磁性体層（より具体的には、磁化固定層 33 及び反強磁性体層 32）並びに第 2 の層間絶縁層 25 の部分に第 2 の開口部 50 を形成する。具体的には、リソグラフィ技術に基づき、ランディングパッド 24 の上方に開口が設けられたレジスト層（図示せず）を全面に形成する。その後、第 1 の接続孔 23 の上方に位置する第 1 の強磁性体層（磁化固定層 33 及び反強磁性体層 32）、バリア層 31 並びに第 2 の層間絶縁層 25 の部分に RIE 法にて第 2 の開口部 50 を形成した後、アッシング技術に基づきレジスト層を除去する。こうして、図 26 に示す構造を得ることができる。その後、必要に応じて、第 2 の開口部 50 の底部に露出したランディングパッド 24 に対してアルゴンスパッタリング処理を行う。

【0108】

[工程-525]

その後、第 2 の開口部 50 内を含む全面に（より具体的には、第 2 の開口部 50 内を含む磁化固定層 33 上に）、Ta から成る厚さ 50 nm の導電体層 51 をスパッタリング法にて形成する。尚、導電体層 51 は、例えば CVD 法にて形成することもできる。

【0109】

[工程-530]

次に、リソグラフィ技術及びエッチング技術に基づき、導電体層 51 をパターンニングする。こうして、第 2 の開口部 50 内に、第 1 の接続孔 23 に接続された（より具体的には、ランディングパッド 24 と接する）第 2 の接続孔 52 を形成することができる（図 27 参照）。

【0110】

[工程-535]

その後、全面に第 3 の層間絶縁層 26 を形成する工程、第 3 の層間絶縁層 26

上に第2の強磁性体層（記録層）35と電氣的に接続され、第1の方向と異なる第2の方向に延びる第2の配線（ビット線BL）を形成する工程を実行する。具体的には、実施の形態1の〔工程－150〕～〔工程－160〕と同様の工程を実行すればよい。尚、〔工程－155〕と同様が完了した時点の構造を、図28に示す。

#### 【0111】

実施の形態5においても、〔工程－520〕において第2の開口部50を形成する際、第2の層間絶縁層25は第1の強磁性体層によって覆われているので、第2の層間絶縁層25の表面に凹凸が生成することは無い。また、必要に応じて、第2の開口部50の底部に露出したランディングパッド24に対してアルゴンスパッタリング処理を行ったときにも、第2の層間絶縁層25の表面に凹凸が生成することは無い。更には、〔工程－525〕及び〔工程－530〕において第2の接続孔52を設けるので、高い信頼性を有する第2の接続孔52を得ることができる。

#### 【0112】

##### （実施の形態6）

実施の形態6は、実施の形態5のMRAMの製造方法の変形である。

#### 【0113】

実施の形態6においては、前記〔工程－505〕と同様の工程において、トップコート膜36、第2の強磁性体層（記録層）35及びトンネル絶縁膜34に加えて、磁化固定層33をパターンニングする。そして、前記〔工程－520〕と同様の工程において、第1の接続孔23の上方に位置する反強磁性体層32及び第2の層間絶縁層25の部分に第2の開口部50を形成する。更には、前記〔工程－525〕と同様の工程においては、第2の開口部50内を含む反強磁性体層32上に導電体層51を形成する。実施の形態6のMRAMの製造方法にあっては、第2の接続孔52と端面が接した第1の強磁性体層の延在部37（より具体的には、反強磁性体層32の延在部）を得ることができる。尚、第2の接続孔52の頂部が反強磁性体層32上に形成されている点が、実施の形態5にて説明したMRAMと異なっている。

## 【0114】

以下、半導体基板10等の模式的な一部断面図である図29～図33を参照して、実施の形態6のMRAMの製造方法を説明する。

## 【0115】

## [工程-600]

先ず、実施の形態3の[工程-300]と同様の工程を実行する。

## 【0116】

## [工程-605]

次いで、実施の形態3の[工程-305]と同様の工程において、トップコート膜36、第2の強磁性体層（記録層）35及びトンネル絶縁膜34に加えて、磁化固定層33をパターンニングする。尚、露出した反強磁性体層32の表面に磁化固定層33が局所的に存在しないように、磁化固定層33を若干オーバーエッチングすることが重要である。露出した反強磁性体層32の表面に磁化固定層33が局所的に存在すると、トンネル磁気抵抗素子30の特性にばらつきが発生する虞がある。

## 【0117】

## [工程-610]

その後、リソグラフィ技術及びRIE法に基づき、第1の強磁性体層（より具体的には、磁化固定層33）をパターンニングし、以て、トンネル絶縁膜34が第1及び第2の強磁性体層32、33、35で挟まれて成るトンネル磁気抵抗素子30を得る。同時に、第1の強磁性体層の延在部37（具体的には、反強磁性体層32及びバリア層31の延在部）を得る。こうして、図29に示す構造を得ることができる。

## 【0118】

## [工程-615]

次に、実施の形態3の[工程-310]と同様の工程を実行することで、トップコート膜36、第2の強磁性体層（記録層）35、トンネル絶縁膜34、磁化固定層33、反強磁性体層32及びバリア層31の側面にサイドウォール60を形成する（図30参照）。

## 【0119】

## [工程-620]

その後、第1の接続孔23の上方（より具体的には、ランディングパッド24の上方）に位置する第1の強磁性体層（より具体的には、反強磁性体層32）並びに第2の層間絶縁層25の部分に第2の開口部50を形成する。具体的には、リソグラフィ技術に基づき、ランディングパッド24の上方に開口が設けられたレジスト層（図示せず）を全面に形成する。その後、第1の接続孔23の上方に位置する第1の強磁性体層（具体的には、反強磁性体層32）、バリア層31並びに第2の層間絶縁層25の部分にR I E法にて第2の開口部50を形成した後、アッシング技術に基づきレジスト層を除去する。こうして、図31に示す構造を得ることができる。その後、必要に応じて、第2の開口部50の底部に露出したランディングパッド24に対してアルゴンスパッタリング処理を行う。

## 【0120】

## [工程-625]

その後、第2の開口部50内を含む全面に（より具体的には、第2の開口部50内を含む反強磁性体層32上に）、Taから成る厚さ50nmの導電体層51をスパッタリング法にて形成する。尚、導電体層51は、例えばCVD法にて形成することもできる。

## 【0121】

## [工程-630]

次に、リソグラフィ技術及びエッチング技術に基づき、導電体層51をパターンニングする。こうして、第2の開口部50内に、第1の接続孔23に接続された（より具体的には、ランディングパッド24と接する）第2の接続孔52を形成することができる（図32参照）。

## 【0122】

## [工程-635]

その後、全面に第3の層間絶縁層26を形成する工程、第3の層間絶縁層26上に第2の強磁性体層（記録層）35と電氣的に接続され、第1の方向と異なる第2の方向に延びる第2の配線（ビット線BL）を形成する工程を実行する。具

体的には、実施の形態 1 の [工程-150] ~ [工程-160] と同様の工程を実行すればよい。尚、[工程-155] と同様が完了した時点の構造を、図 33 に示す。

#### 【0123】

以上、本発明を、発明の実施の形態に基づき説明したが、本発明はこれらに限定されるものではない。発明の実施の形態にて説明した各層を構成する材料、各層を形成する方法、MRAMの構造等は例示であり、適宜変更することができる。

#### 【0124】

トンネル絶縁膜 34 が第 1 及び第 2 の強磁性体層 32, 33, 35 で挟まれて成るトンネル磁気抵抗素子 30 を形成する際、トンネル磁気抵抗素子 30 の平面形状を、対向する 2 辺が第 1 の方向と平行な矩形としてもよいし、対向する 2 辺が第 1 の方向と平行な菱形や平行四辺形としてもよい。後者の場合、残りの対向する 2 辺が第 2 の方向と平行ではなくなり、第 2 の強磁性体層（記録層） 35 の磁化方向の反転を高速化することができる。

#### 【0125】

##### 【発明の効果】

本発明においては、トンネル磁気抵抗素子 30 の下地に相当する第 2 の層間絶縁層の表面は、積層構造を形成した後、実質的に何の処理も施されないが故に、第 2 の層間絶縁層の表面を非常に平坦な状態に保持することができる。また、トンネル磁気抵抗素子 30 の引き出し配線に相当する反強磁性体層 32 の延在部、あるいは、反強磁性体層 32 と磁化固定層 33 との延在部の端面と、第 2 の接続孔の側壁とが接触した構造を有するが故に、第 2 の開口部におけるカバレッジ部の段切れといった問題が発生することなく、安定した低抵抗の第 2 の接続孔を得ることができる。以上の結果として、トンネル磁気抵抗素子の特性におけるばらつきを抑制することができるし、高い信頼性及び特性安定性を有する不揮発性磁気メモリ装置を製造することができる。

##### 【図面の簡単な説明】

#### 【図 1】

図 1 は、発明の実施の形態 1 の MRAM タイプの不揮発性磁気メモリ装置の製造方法を説明するための、半導体基板等の模式的な一部断面図である。

【図 2】

図 2 は、図 1 に引き続き、発明の実施の形態 1 の MRAM タイプの不揮発性磁気メモリ装置の製造方法を説明するための、半導体基板等の模式的な一部断面図である。

【図 3】

図 3 は、図 2 に引き続き、発明の実施の形態 1 の MRAM タイプの不揮発性磁気メモリ装置の製造方法を説明するための、半導体基板等の模式的な一部断面図である。

【図 4】

図 4 は、図 3 に引き続き、発明の実施の形態 1 の MRAM タイプの不揮発性磁気メモリ装置の製造方法を説明するための、半導体基板等の模式的な一部断面図である。

【図 5】

図 5 は、図 4 に引き続き、発明の実施の形態 1 の MRAM タイプの不揮発性磁気メモリ装置の製造方法を説明するための、半導体基板等の模式的な一部断面図である。

【図 6】

図 6 は、図 5 に引き続き、発明の実施の形態 1 の MRAM タイプの不揮発性磁気メモリ装置の製造方法を説明するための、半導体基板等の模式的な一部断面図である。

【図 7】

図 7 は、図 6 に引き続き、発明の実施の形態 1 の MRAM タイプの不揮発性磁気メモリ装置の製造方法を説明するための、半導体基板等の模式的な一部断面図である。

【図 8】

図 8 は、図 7 に引き続き、発明の実施の形態 1 の MRAM タイプの不揮発性磁気メモリ装置の製造方法を説明するための、半導体基板等の模式的な一部断面図



である。

【図 9】

図 9 は、発明の実施の形態 2 の MRAM タイプの不揮発性磁気メモリ装置の製造方法を説明するための、半導体基板等の模式的な一部断面図である。

【図 10】

図 10 は、図 9 に引き続き、発明の実施の形態 2 の MRAM タイプの不揮発性磁気メモリ装置の製造方法を説明するための、半導体基板等の模式的な一部断面図である。

【図 11】

図 11 は、図 10 に引き続き、発明の実施の形態 2 の MRAM タイプの不揮発性磁気メモリ装置の製造方法を説明するための、半導体基板等の模式的な一部断面図である。

【図 12】

図 12 は、発明の実施の形態 3 の MRAM タイプの不揮発性磁気メモリ装置の製造方法を説明するための、半導体基板等の模式的な一部断面図である。

【図 13】

図 13 は、図 12 に引き続き、発明の実施の形態 3 の MRAM タイプの不揮発性磁気メモリ装置の製造方法を説明するための、半導体基板等の模式的な一部断面図である。

【図 14】

図 14 は、図 13 に引き続き、発明の実施の形態 3 の MRAM タイプの不揮発性磁気メモリ装置の製造方法を説明するための、半導体基板等の模式的な一部断面図である。

【図 15】

図 15 は、図 14 に引き続き、発明の実施の形態 3 の MRAM タイプの不揮発性磁気メモリ装置の製造方法を説明するための、半導体基板等の模式的な一部断面図である。

【図 16】

図 16 は、図 15 に引き続き、発明の実施の形態 3 の MRAM タイプの不揮発

性磁気メモリ装置の製造方法を説明するための、半導体基板等の模式的な一部断面図である。

【図 17】

図 17 は、図 16 に引き続き、発明の実施の形態 3 の MRAM タイプの不揮発性磁気メモリ装置の製造方法を説明するための、半導体基板等の模式的な一部断面図である。

【図 18】

図 18 は、発明の実施の形態 4 の MRAM タイプの不揮発性磁気メモリ装置の製造方法を説明するための、半導体基板等の模式的な一部断面図である。

【図 19】

図 19 は、図 18 に引き続き、発明の実施の形態 4 の MRAM タイプの不揮発性磁気メモリ装置の製造方法を説明するための、半導体基板等の模式的な一部断面図である。

【図 20】

図 20 は、図 19 に引き続き、発明の実施の形態 4 の MRAM タイプの不揮発性磁気メモリ装置の製造方法を説明するための、半導体基板等の模式的な一部断面図である。

【図 21】

図 21 は、図 20 に引き続き、発明の実施の形態 4 の MRAM タイプの不揮発性磁気メモリ装置の製造方法を説明するための、半導体基板等の模式的な一部断面図である。

【図 22】

図 22 は、図 21 に引き続き、発明の実施の形態 4 の MRAM タイプの不揮発性磁気メモリ装置の製造方法を説明するための、半導体基板等の模式的な一部断面図である。

【図 23】

図 23 は、図 22 に引き続き、発明の実施の形態 4 の MRAM タイプの不揮発性磁気メモリ装置の製造方法を説明するための、半導体基板等の模式的な一部断面図である。

**【図 2 4】**

図 2 4 は、発明の実施の形態 5 の M R A M タイプの不揮発性磁気メモリ装置の製造方法を説明するための、半導体基板等の模式的な一部断面図である。

**【図 2 5】**

図 2 5 は、図 2 4 に引き続き、発明の実施の形態 5 の M R A M タイプの不揮発性磁気メモリ装置の製造方法を説明するための、半導体基板等の模式的な一部断面図である。

**【図 2 6】**

図 2 6 は、図 2 5 に引き続き、発明の実施の形態 5 の M R A M タイプの不揮発性磁気メモリ装置の製造方法を説明するための、半導体基板等の模式的な一部断面図である。

**【図 2 7】**

図 2 7 は、図 2 6 に引き続き、発明の実施の形態 5 の M R A M タイプの不揮発性磁気メモリ装置の製造方法を説明するための、半導体基板等の模式的な一部断面図である。

**【図 2 8】**

図 2 8 は、図 2 7 に引き続き、発明の実施の形態 5 の M R A M タイプの不揮発性磁気メモリ装置の製造方法を説明するための、半導体基板等の模式的な一部断面図である。

**【図 2 9】**

図 2 9 は、発明の実施の形態 6 の M R A M タイプの不揮発性磁気メモリ装置の製造方法を説明するための、半導体基板等の模式的な一部断面図である。

**【図 3 0】**

図 3 0 は、図 2 9 に引き続き、発明の実施の形態 6 の M R A M タイプの不揮発性磁気メモリ装置の製造方法を説明するための、半導体基板等の模式的な一部断面図である。

**【図 3 1】**

図 3 1 は、図 3 0 に引き続き、発明の実施の形態 6 の M R A M タイプの不揮発性磁気メモリ装置の製造方法を説明するための、半導体基板等の模式的な一部断

面図である。

【図 3 2】

図 3 2 は、図 3 1 に引き続き、発明の実施の形態 6 の MRAM タイプの不揮発性磁気メモリ装置の製造方法を説明するための、半導体基板等の模式的な一部断面図である。

【図 3 3】

図 3 3 は、図 3 2 に引き続き、発明の実施の形態 6 の MRAM タイプの不揮発性磁気メモリ装置の製造方法を説明するための、半導体基板等の模式的な一部断面図である。

【図 3 4】

図 3 4 の (A) 及び (B) は、従来の MRAM タイプの不揮発性磁気メモリ装置の製造方法を説明するための、半導体基板等の模式的な一部断面図である。

【図 3 5】

図 3 5 は、図 3 4 (B) に引き続き、従来の MRAM タイプの不揮発性磁気メモリ装置の製造方法を説明するための、半導体基板等の模式的な一部断面図である。

【図 3 6】

図 3 6 は、図 3 5 に引き続き、従来の MRAM タイプの不揮発性磁気メモリ装置の製造方法を説明するための、半導体基板等の模式的な一部断面図である。

【図 3 7】

図 3 7 は、図 3 6 に引き続き、従来の MRAM タイプの不揮発性磁気メモリ装置の製造方法を説明するための、半導体基板等の模式的な一部断面図である。

【図 3 8】

図 3 8 は、図 3 7 に引き続き、従来の MRAM タイプの不揮発性磁気メモリ装置の製造方法を説明するための、半導体基板等の模式的な一部断面図である。

【図 3 9】

図 3 9 は、図 3 8 に引き続き、従来の MRAM タイプの不揮発性磁気メモリ装置の製造方法を説明するための、半導体基板等の模式的な一部断面図である。

【図 4 0】

図40は、図39に引き続き、従来のMRAMタイプの不揮発性磁気メモリ装置の製造方法を説明するための、半導体基板等の模式的な一部断面図である。

【符号の説明】

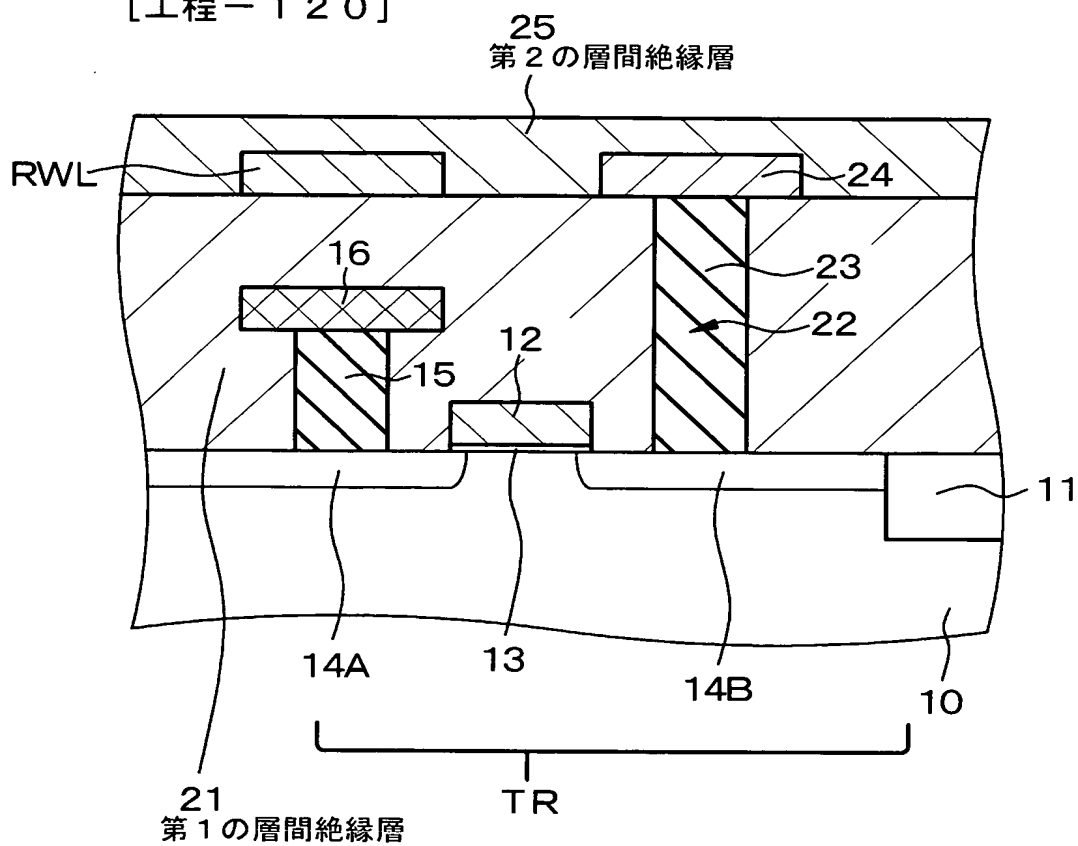
TR・・・選択用トランジスタ、RWL・・・第1の配線（書込みワード線）、  
BL・・・第2の配線（ビット線）、10・・・半導体基板、11・・・素子分離領域、12・・・ゲート電極、13・・・ゲート絶縁膜、14A、14B・・・ソース／ドレイン領域、15・・・コンタクトホール、16・・・センス線、  
21・・・第1の層間絶縁層、22・・・第1の開口部、23・・・第1の接続孔、24・・・ランディングパッド、25・・・第2の層間絶縁層、26・・・第3の層間絶縁層、30・・・トンネル磁気抵抗素子、31・・・バリア層、32・・・反強磁性体層、33・・・磁化固定層、34・・・トンネル絶縁膜、35・・・第2の強磁性体層（記録層）、36・・・トップコート膜、37・・・延在部、40・・・レジスト層、41・・・開口、50・・・第2の開口部、51・・・導電材料層、52・・・第2の接続孔、60・・・サイドウォール

【書類名】 図面

【図 1】

【圖 1】

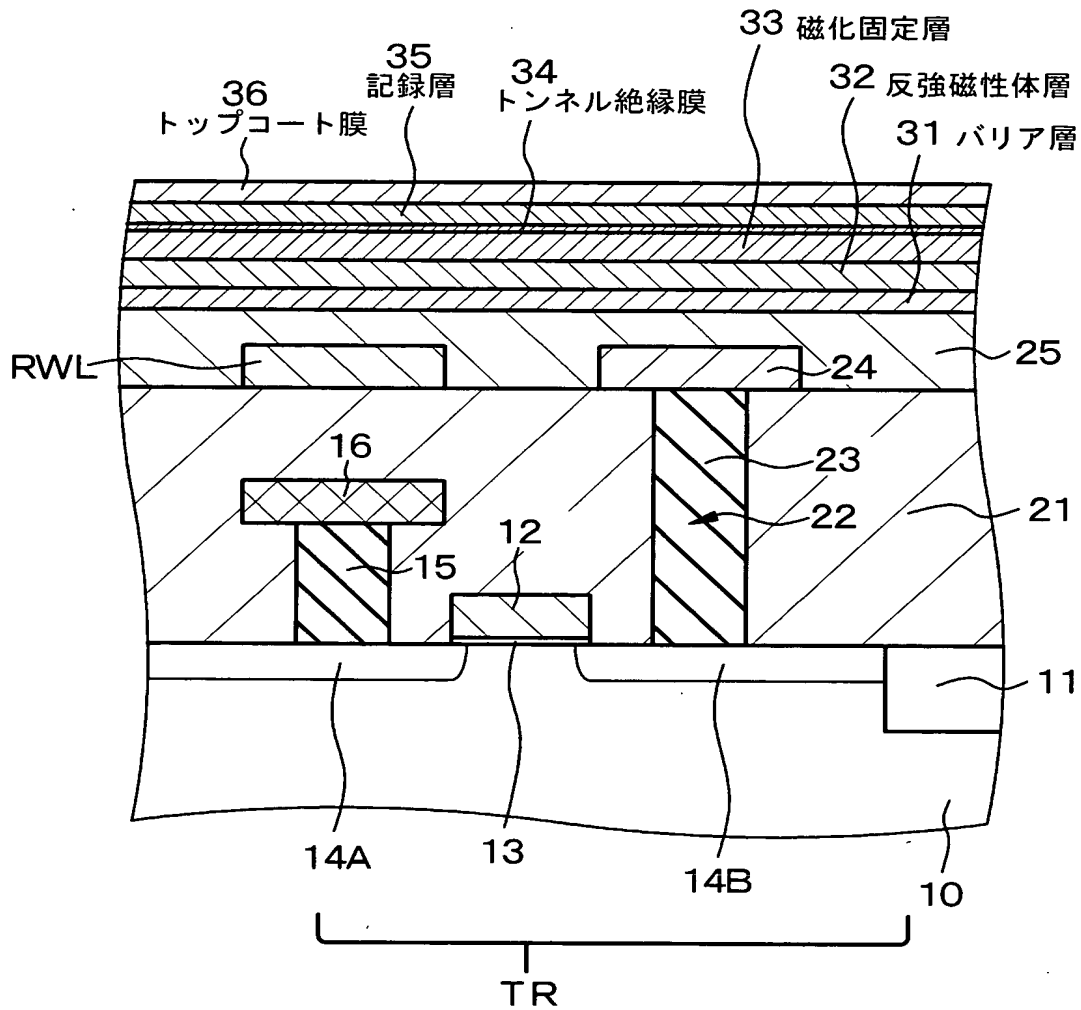
[工程—120]



【図 2】

【図 2】

[工程 - 125]



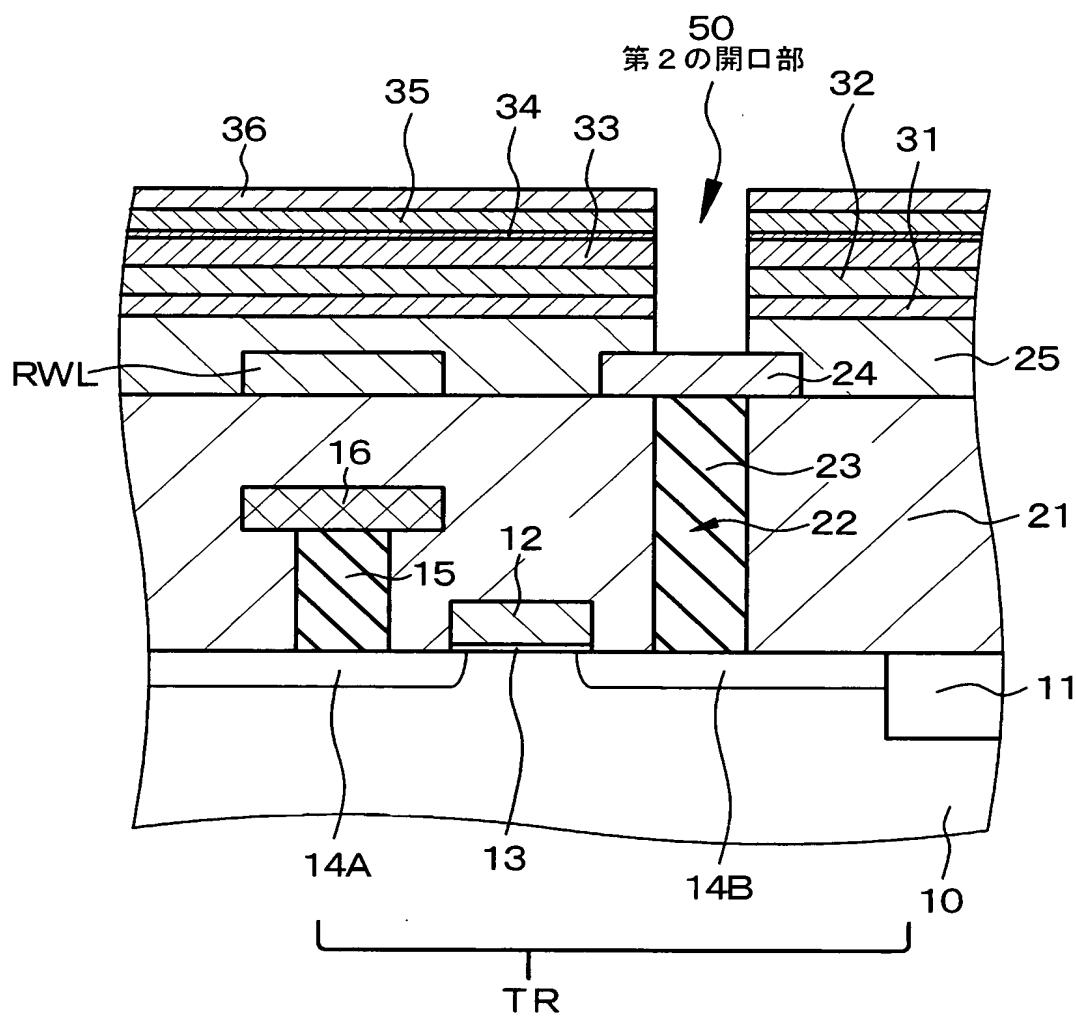




【図 4】

【図 4】

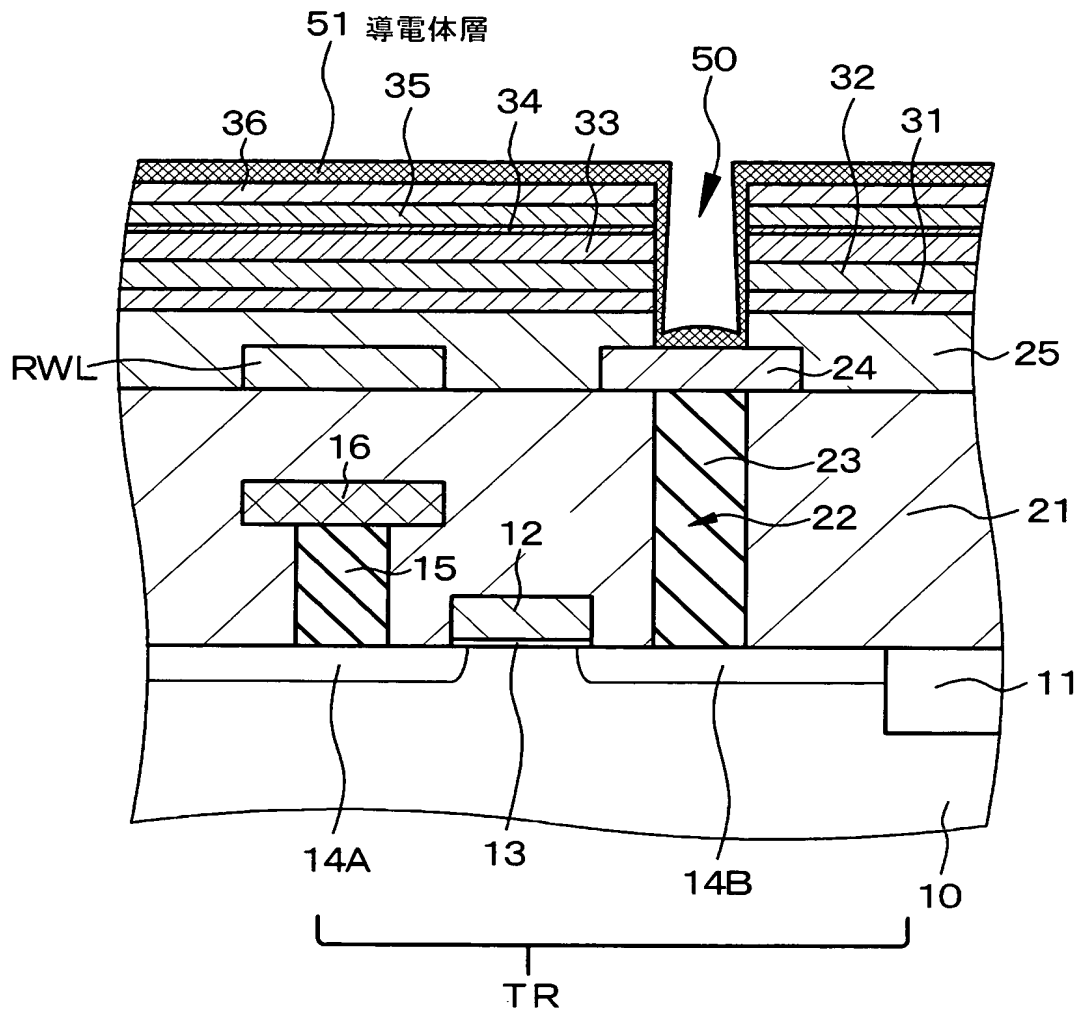
[工程-130] 続き



【図 5】

【図 5】

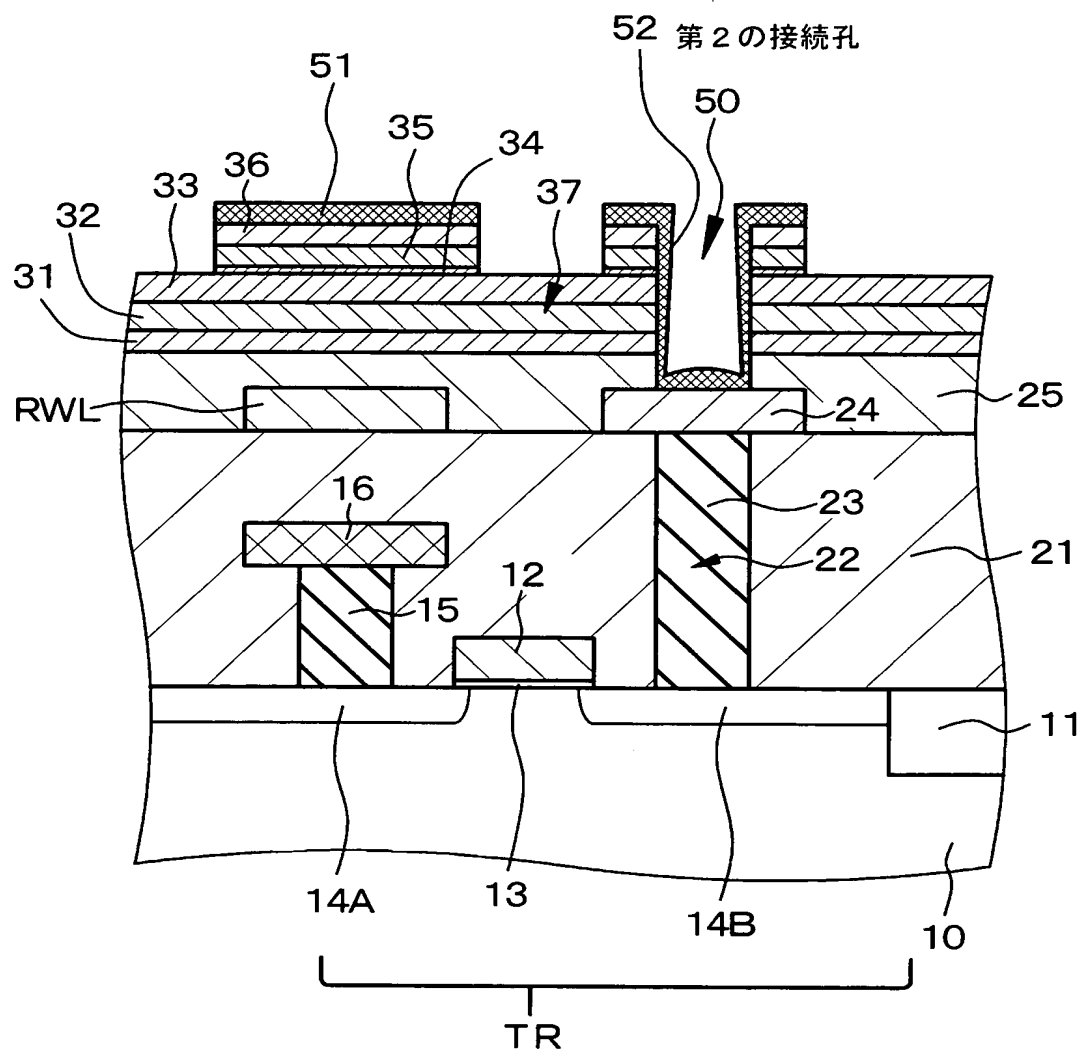
[工程 - 135]



【図 6】

【図 6】

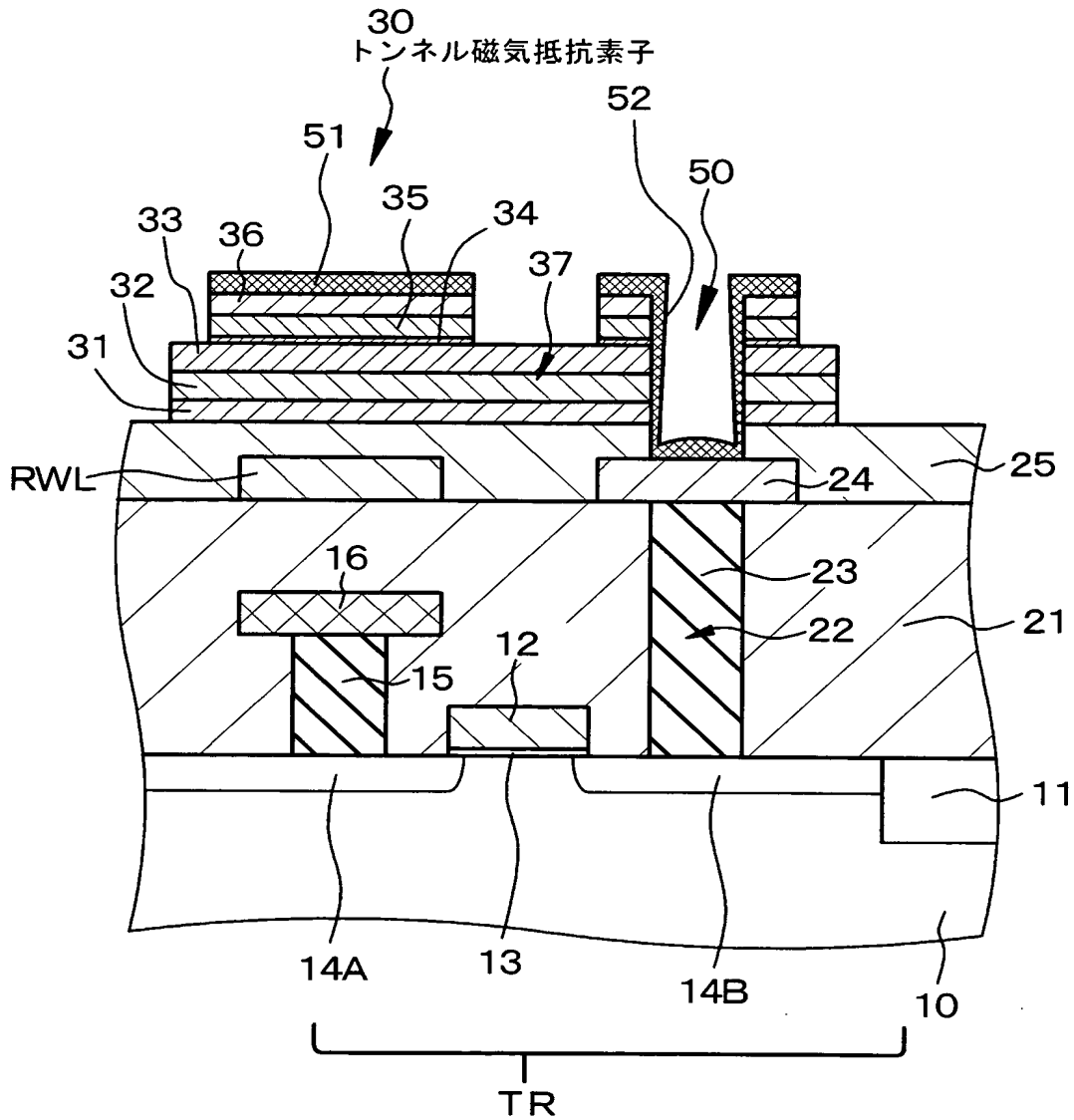
[工程—140]



【圖 7】

【図 7】

[工程—145]

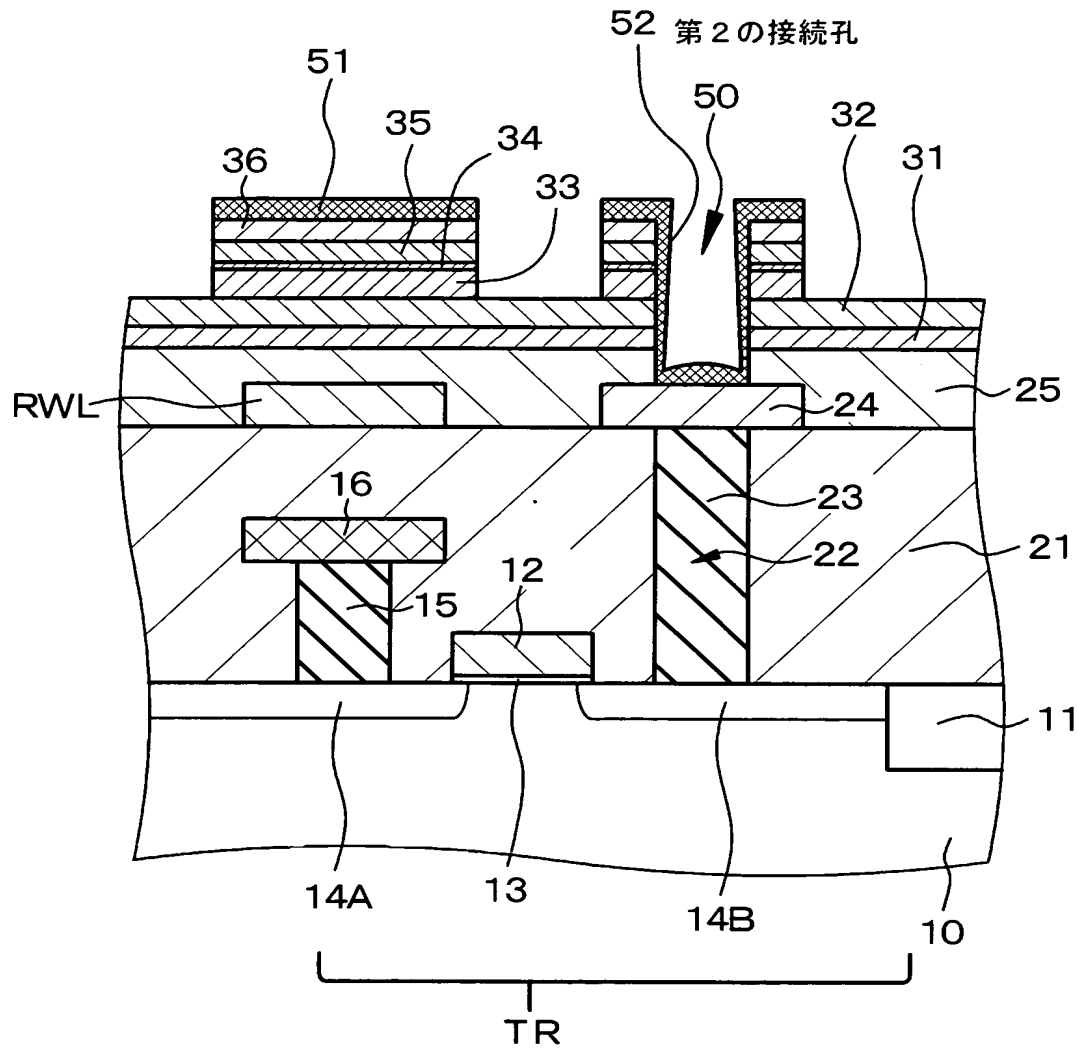




【図 9】

【図 9】

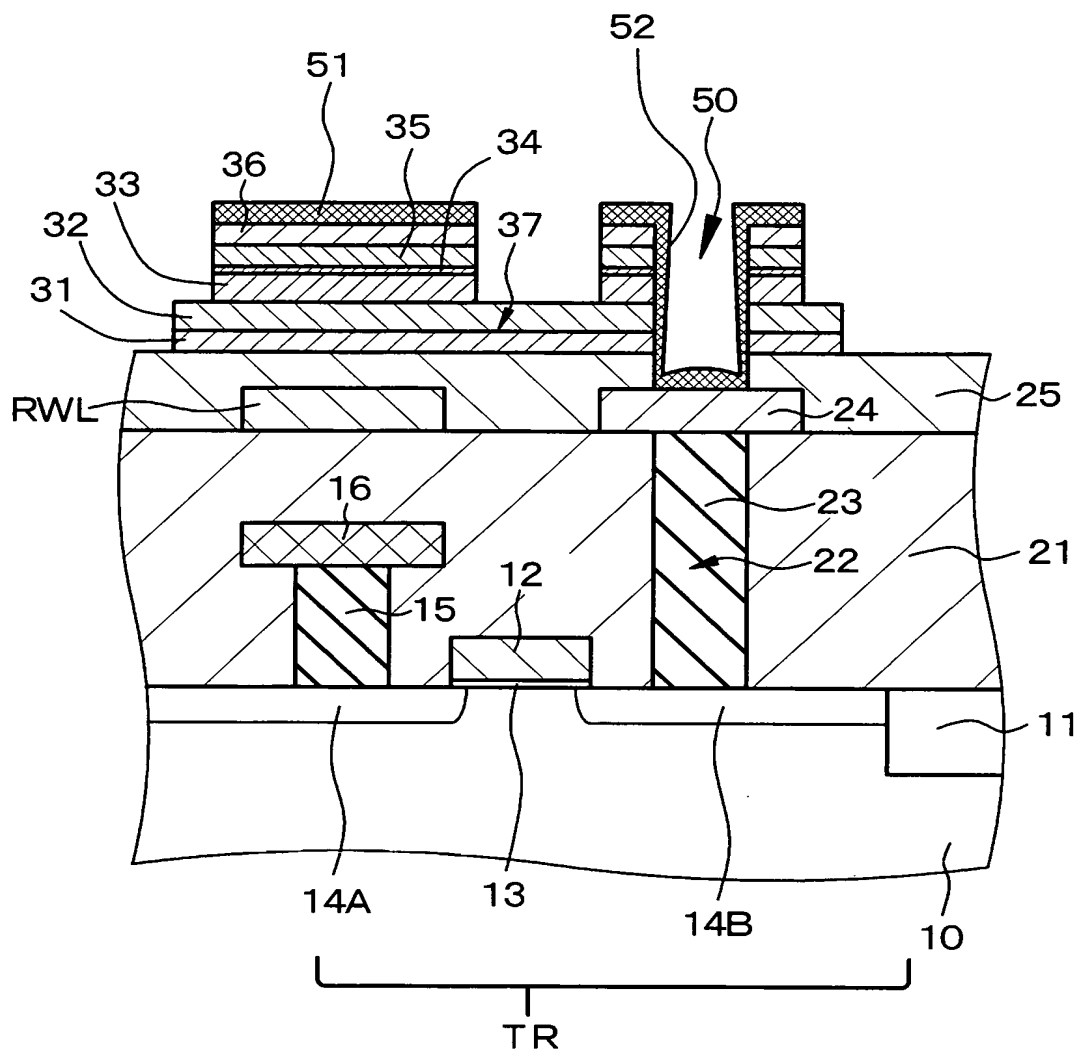
[工程-205]



【図 10】

【図 10】

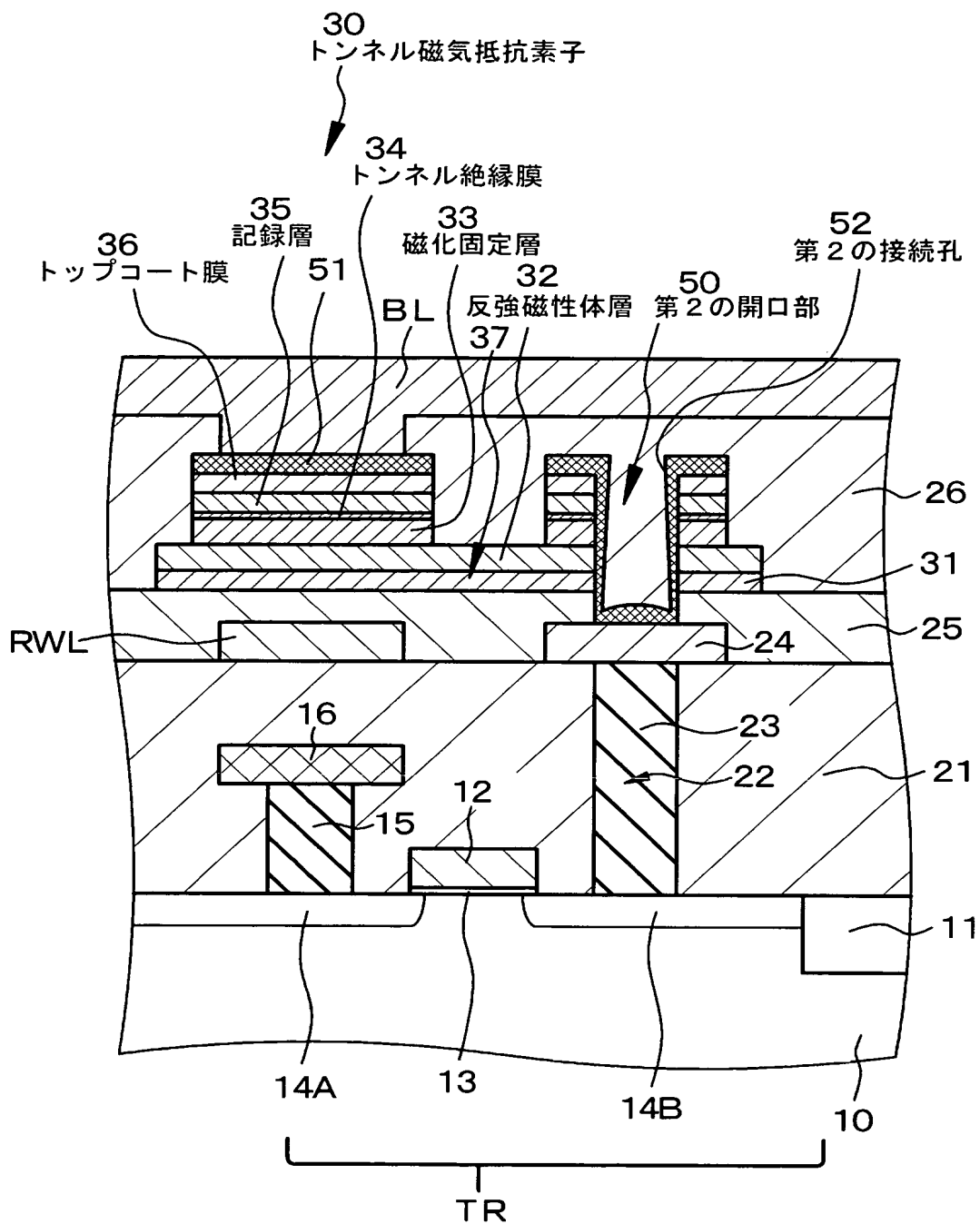
[工程-210]



【図 11】

【図 11】

[工程 - 215]



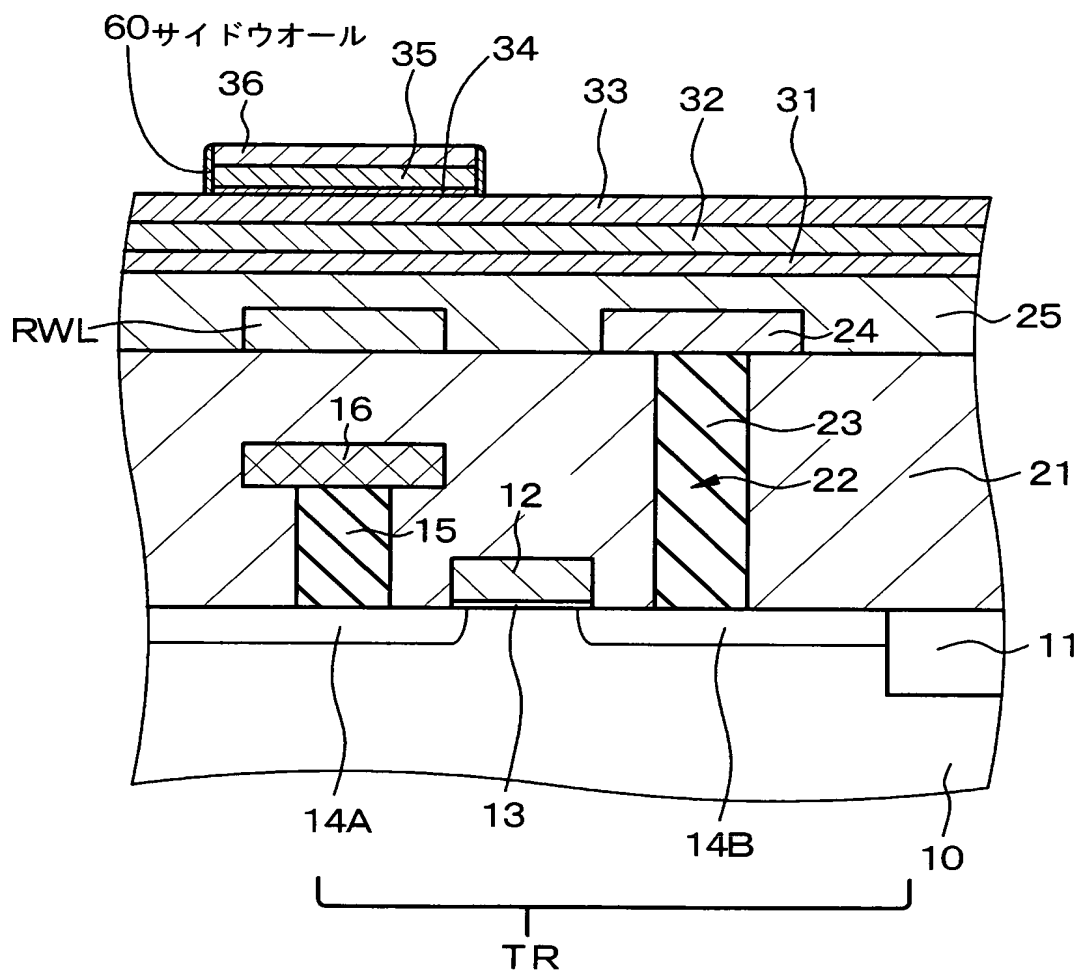




【図 13】

【図 13】

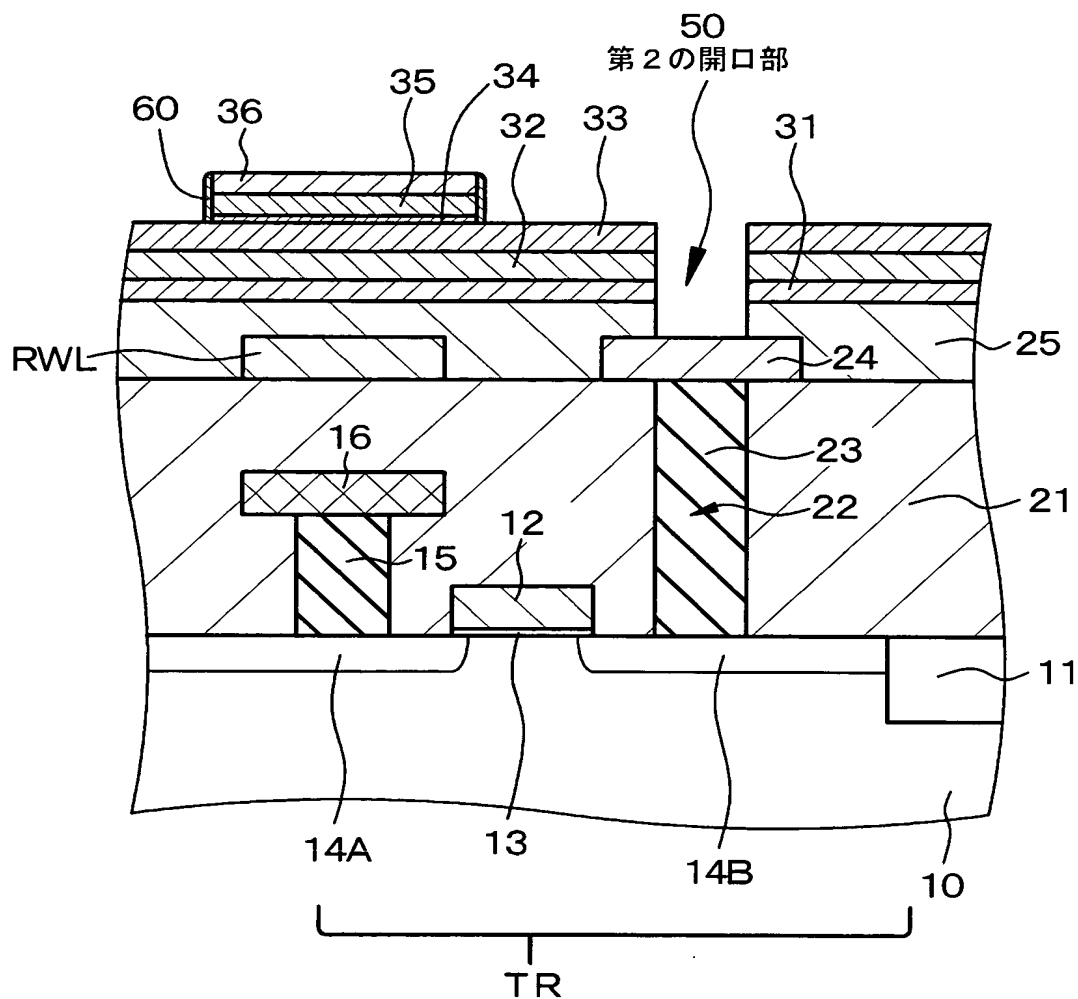
[工程 310]



【図14】

【図14】

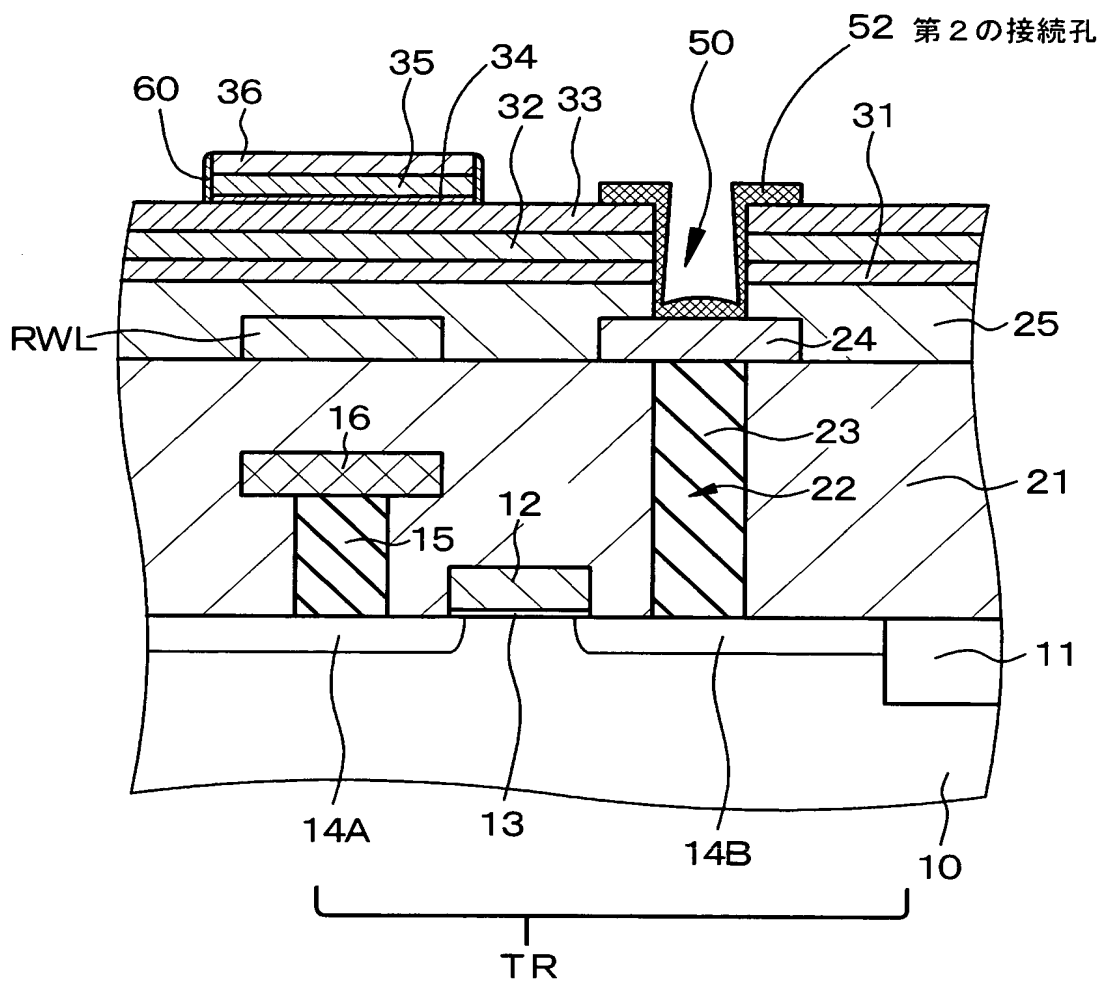
[工程-315]



【図 15】

【図 15】

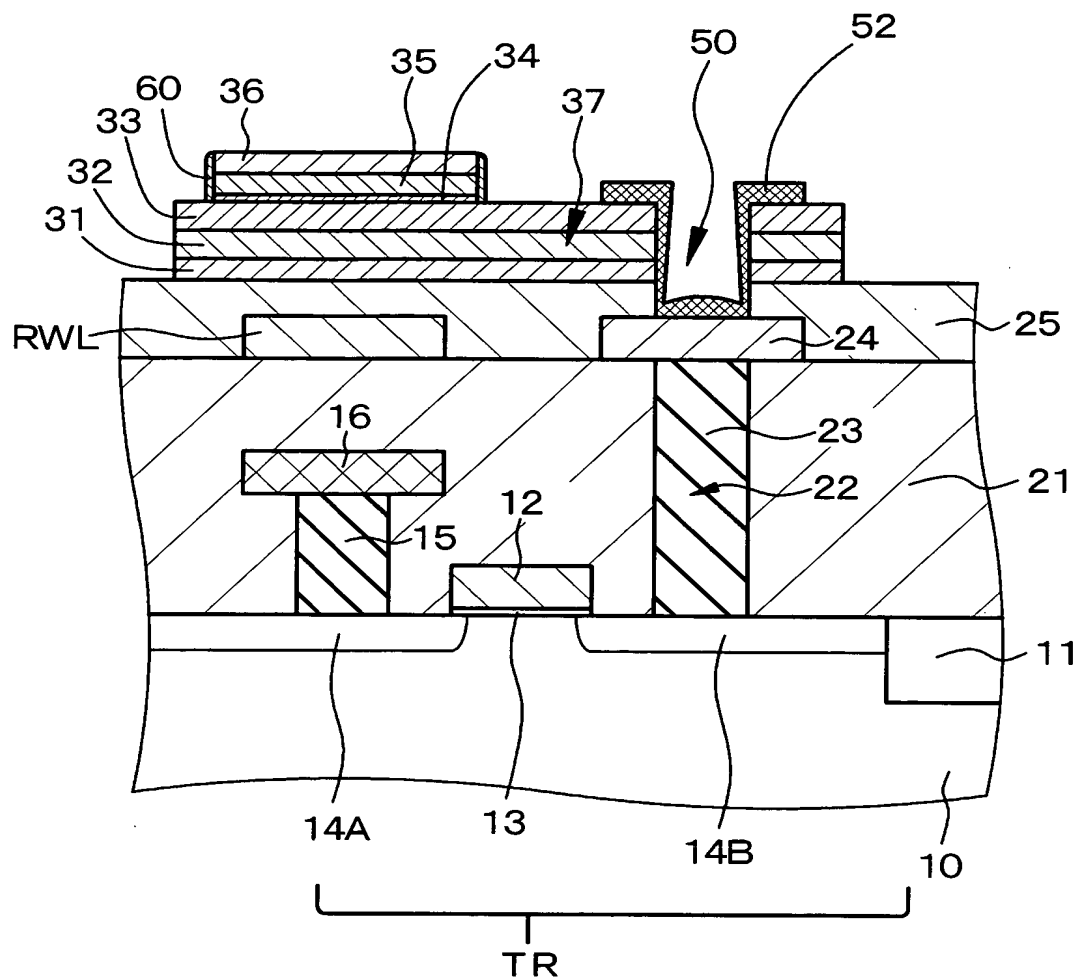
[工程 - 325]



【図 16】

【図 16】

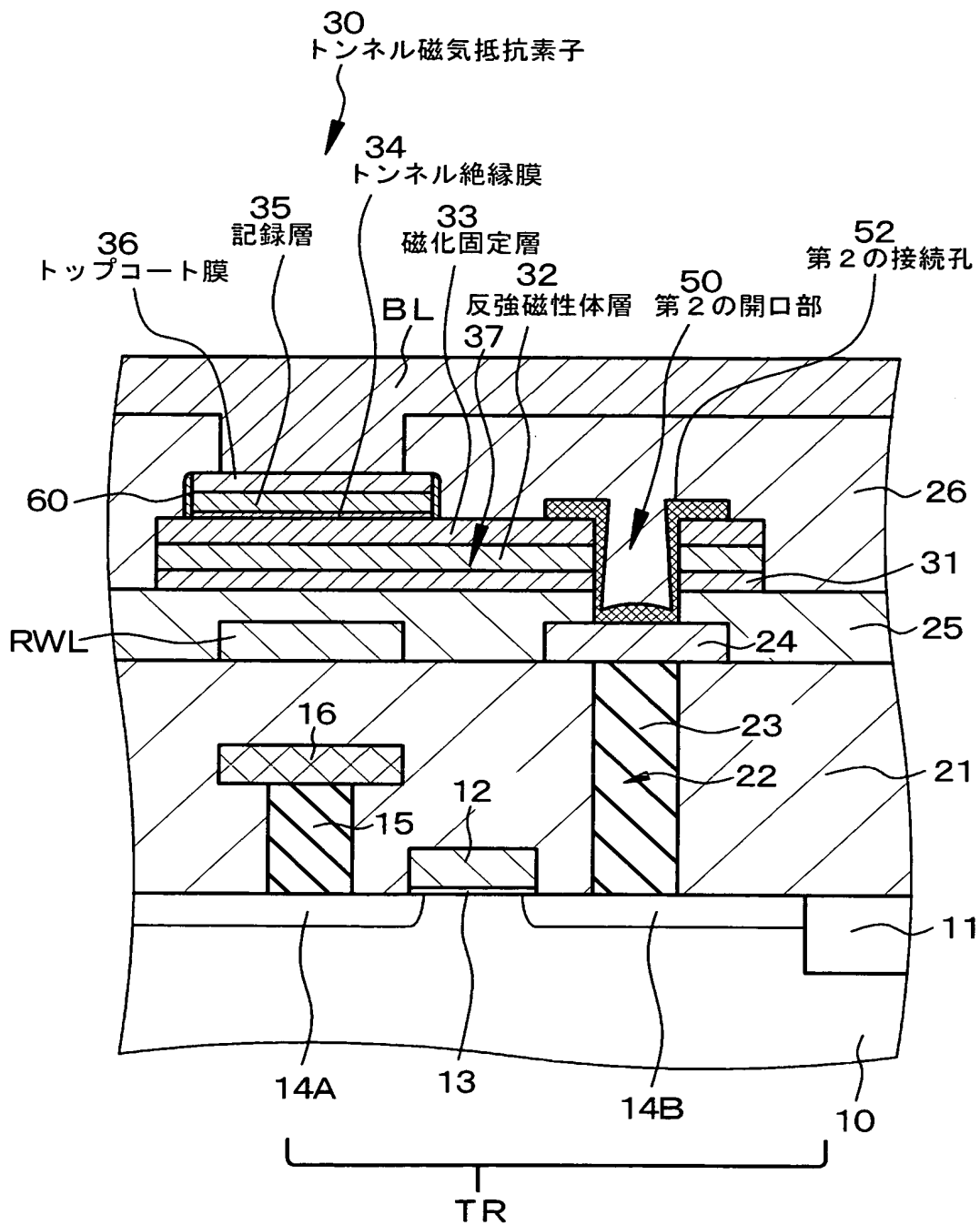
[工程 - 330]



【図 17】

【圖 17】

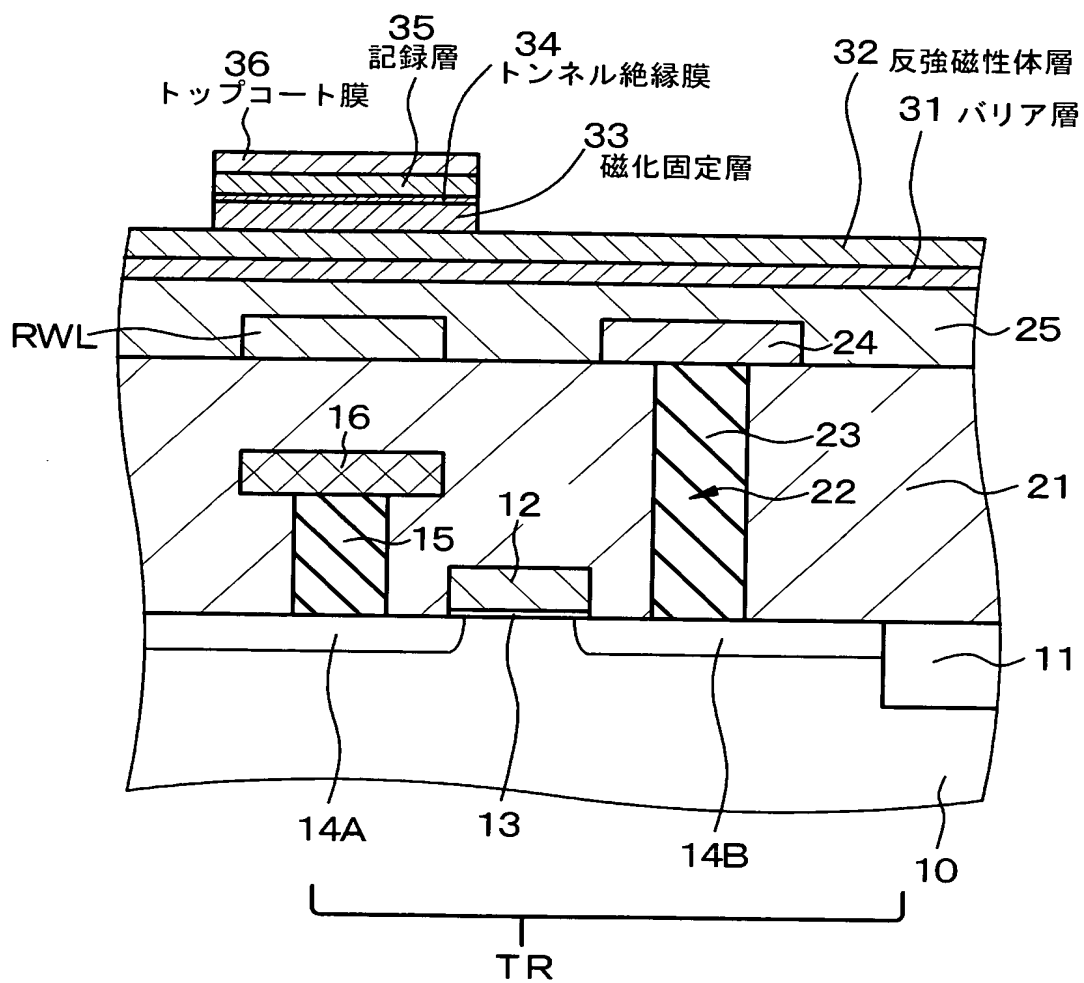
[工程—335]



【図18】

【図18】

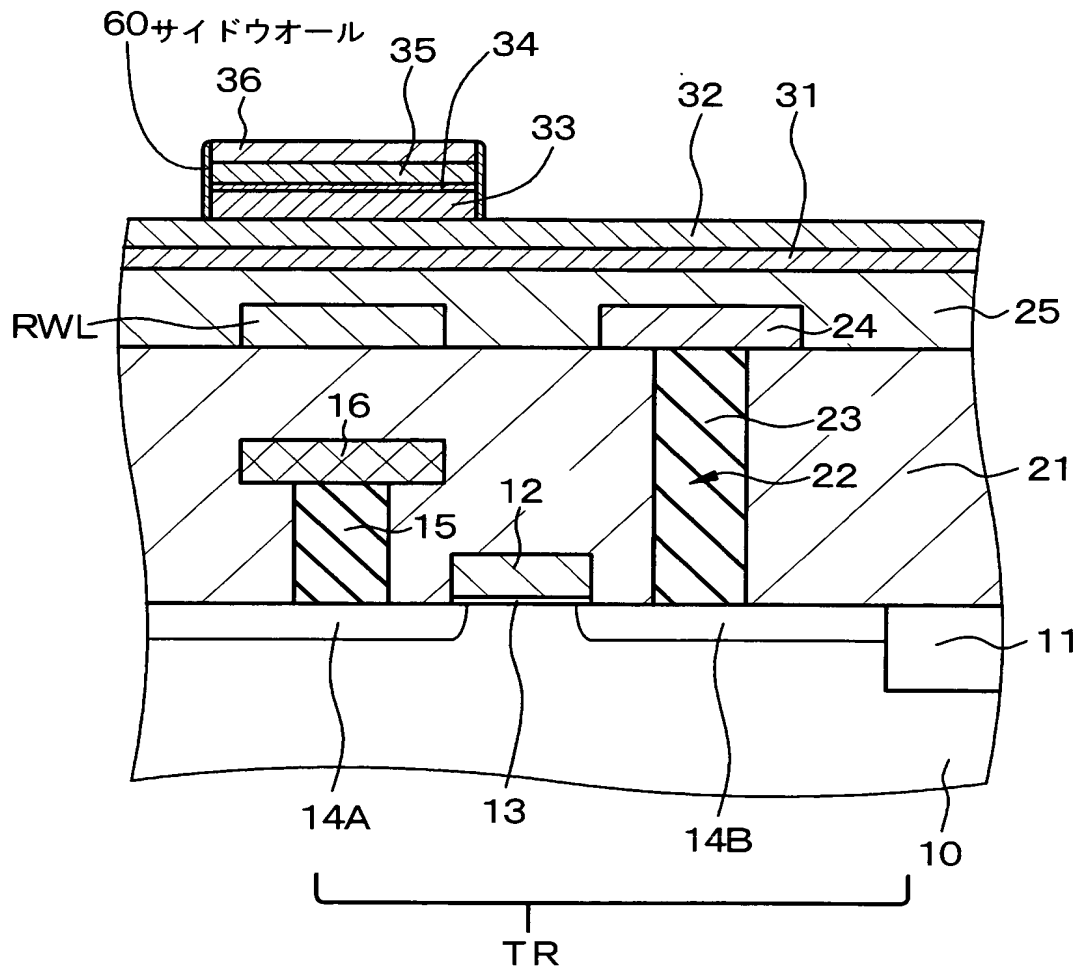
[工程-405]



【図 19】

【図 19】

[工程 - 410]





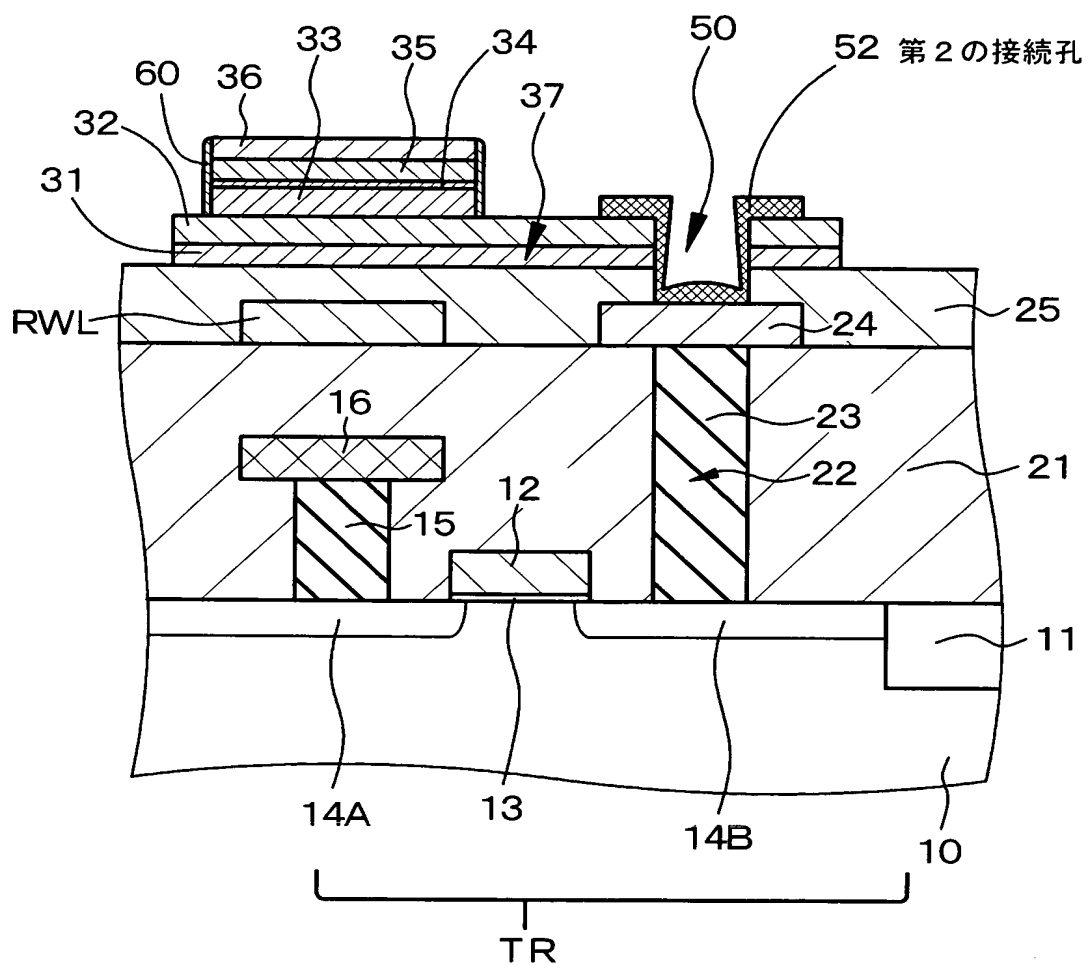




【図 22】

【図 22】

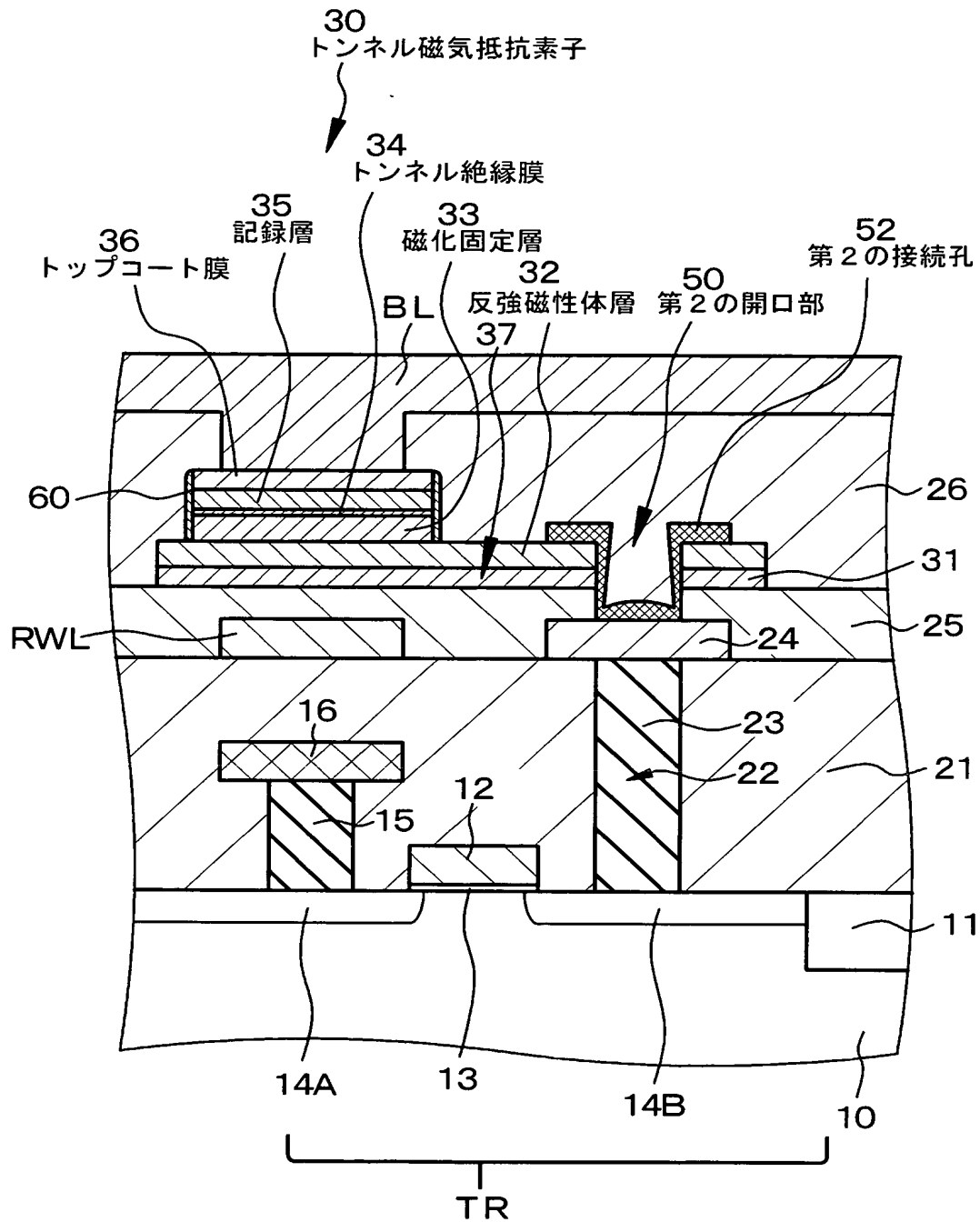
[工程 - 430]



【図 2 3】

【図 23】

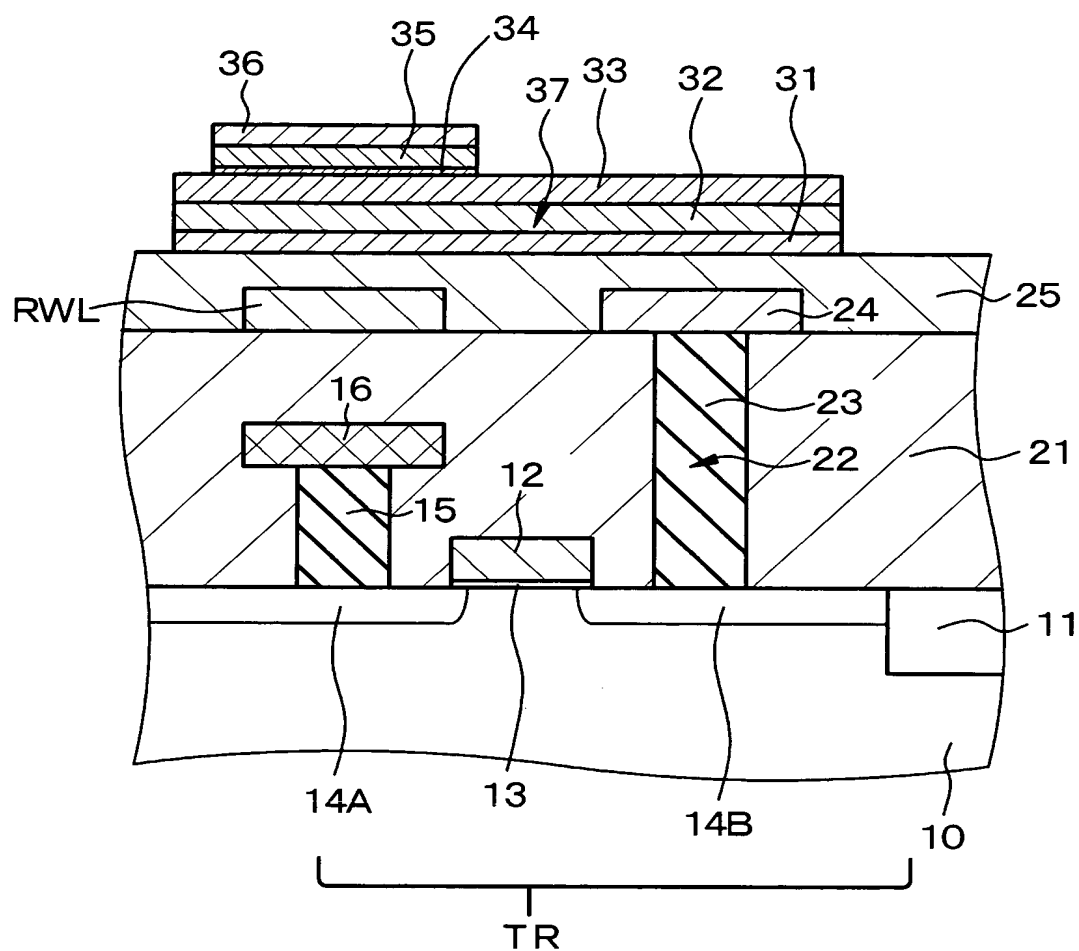
[工程-435]



【図 24】

【図 24】

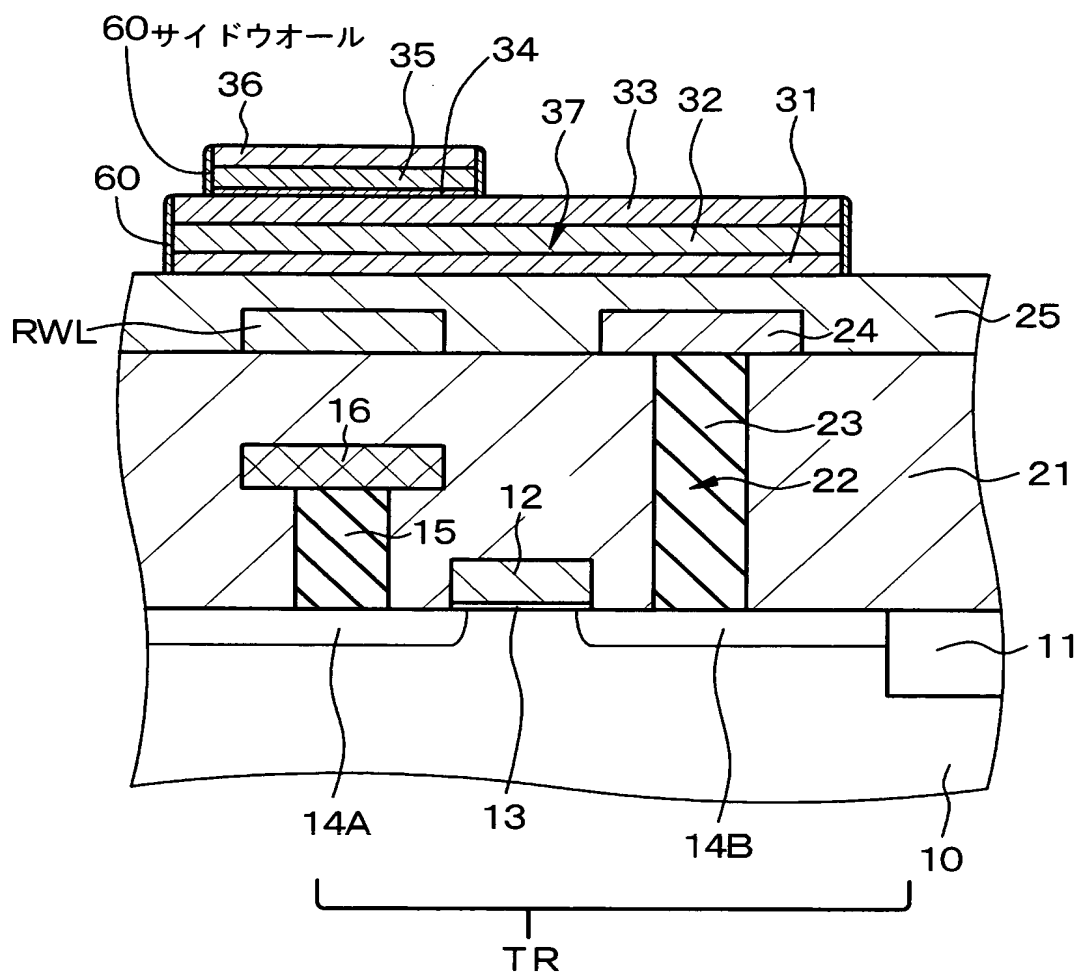
[工程 - 510]



【図 25】

【図 25】

[工程-515]

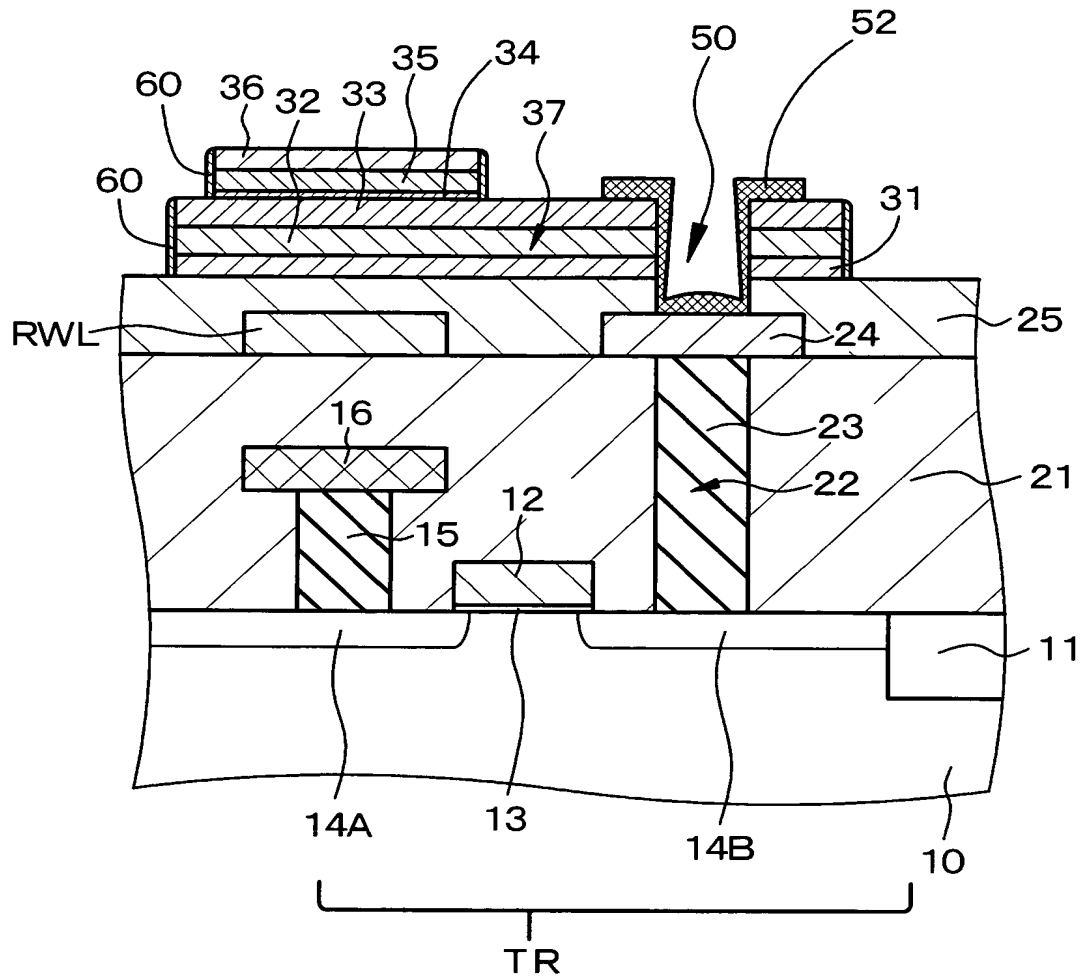




【図 27】

【図 27】

[工程 - 530]

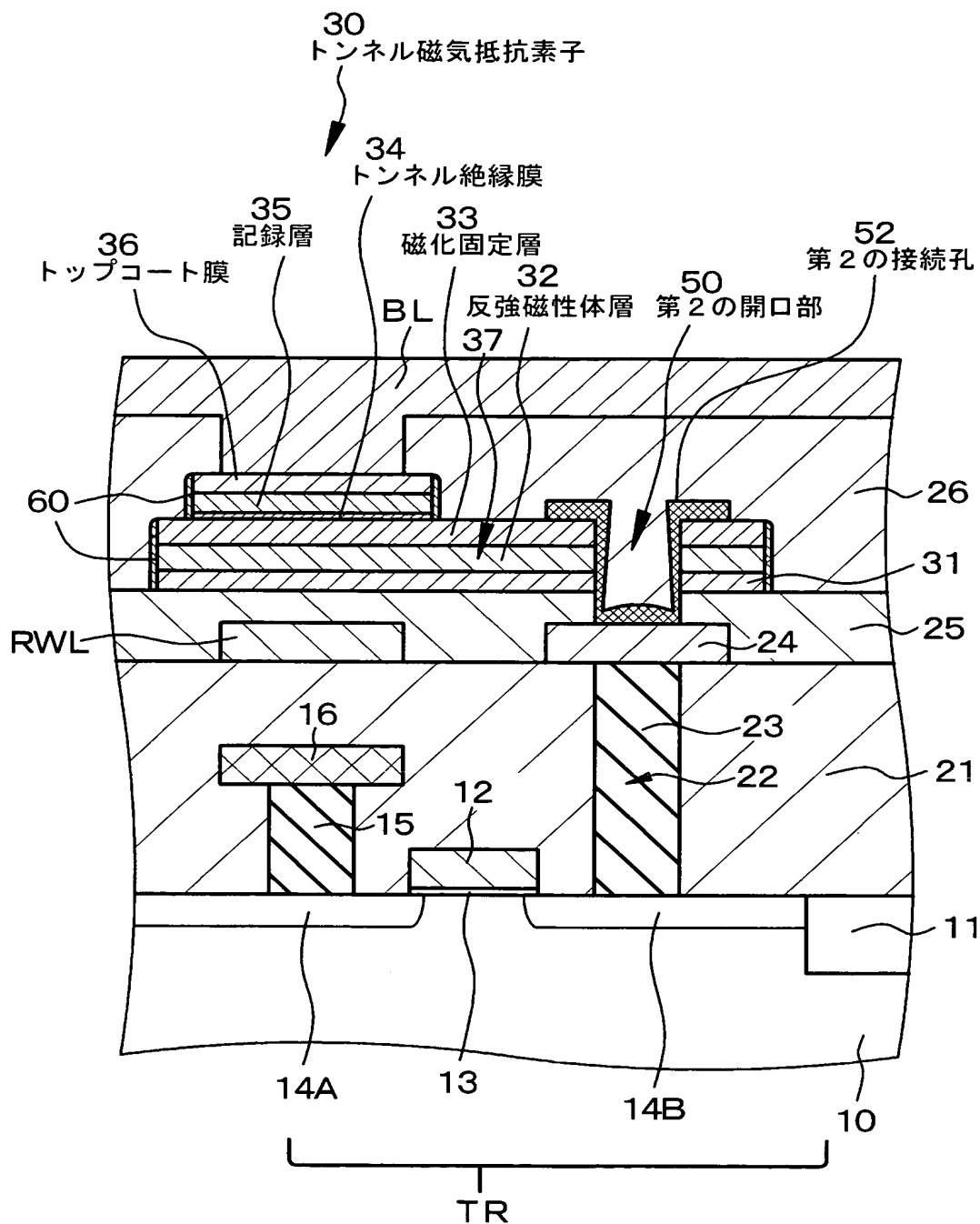




【図 28】

【図 28】

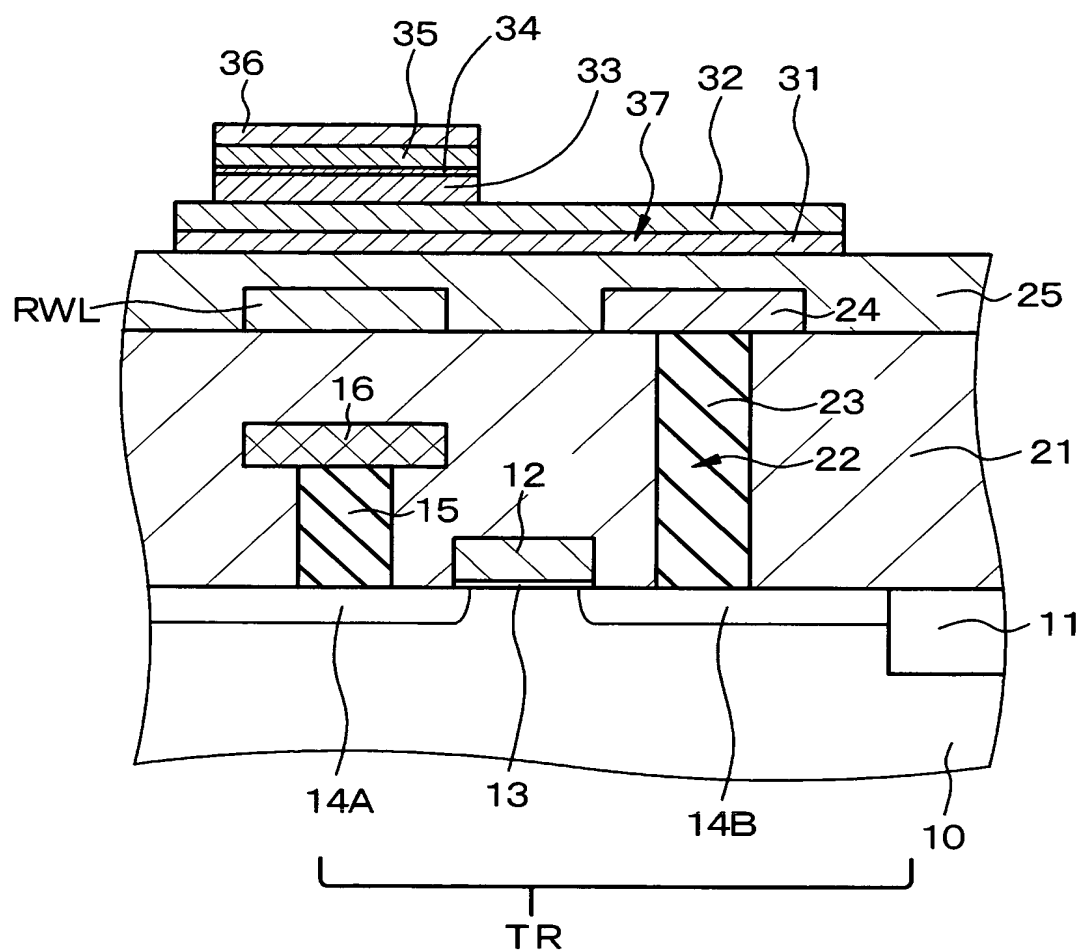
[工程—535]



【図 29】

【図 29】

[工程 - 610]

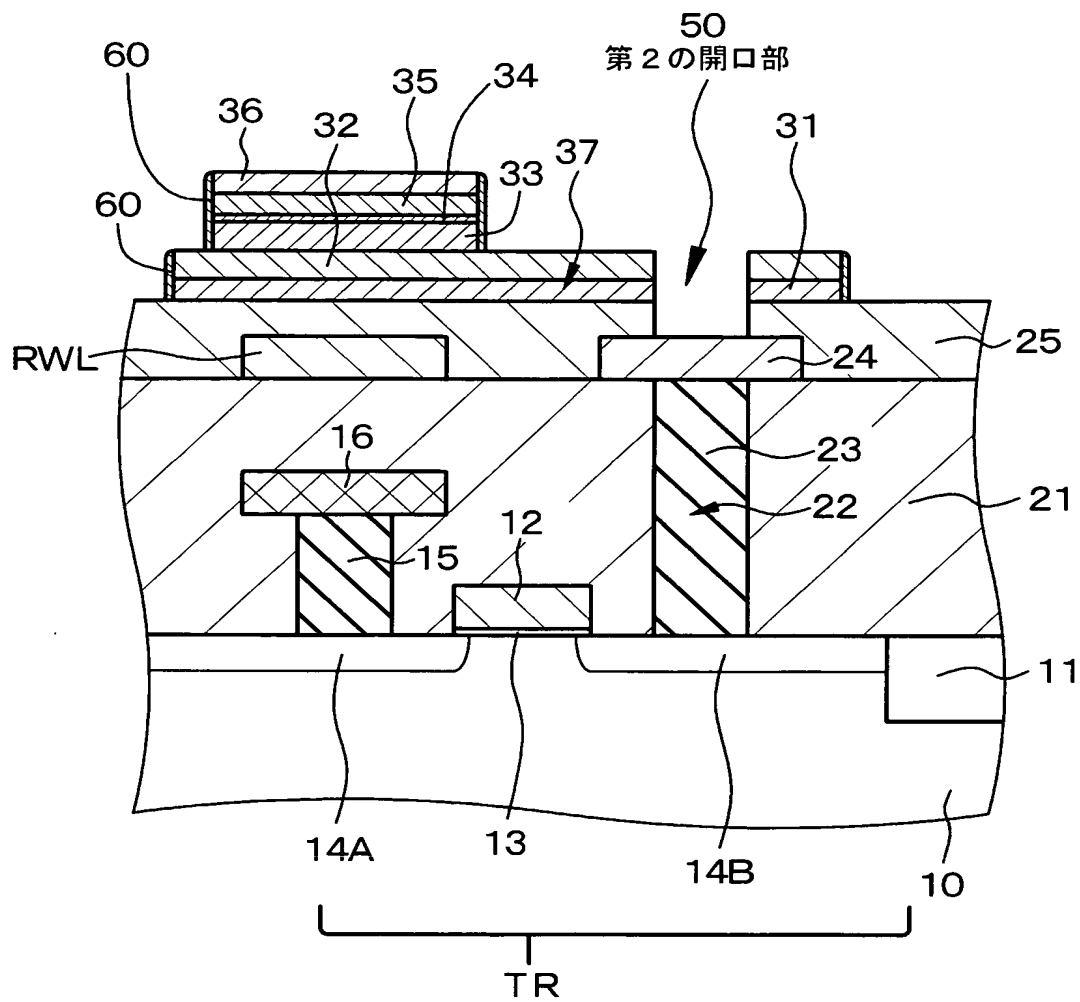




【図 3 1】

【図 3 1】

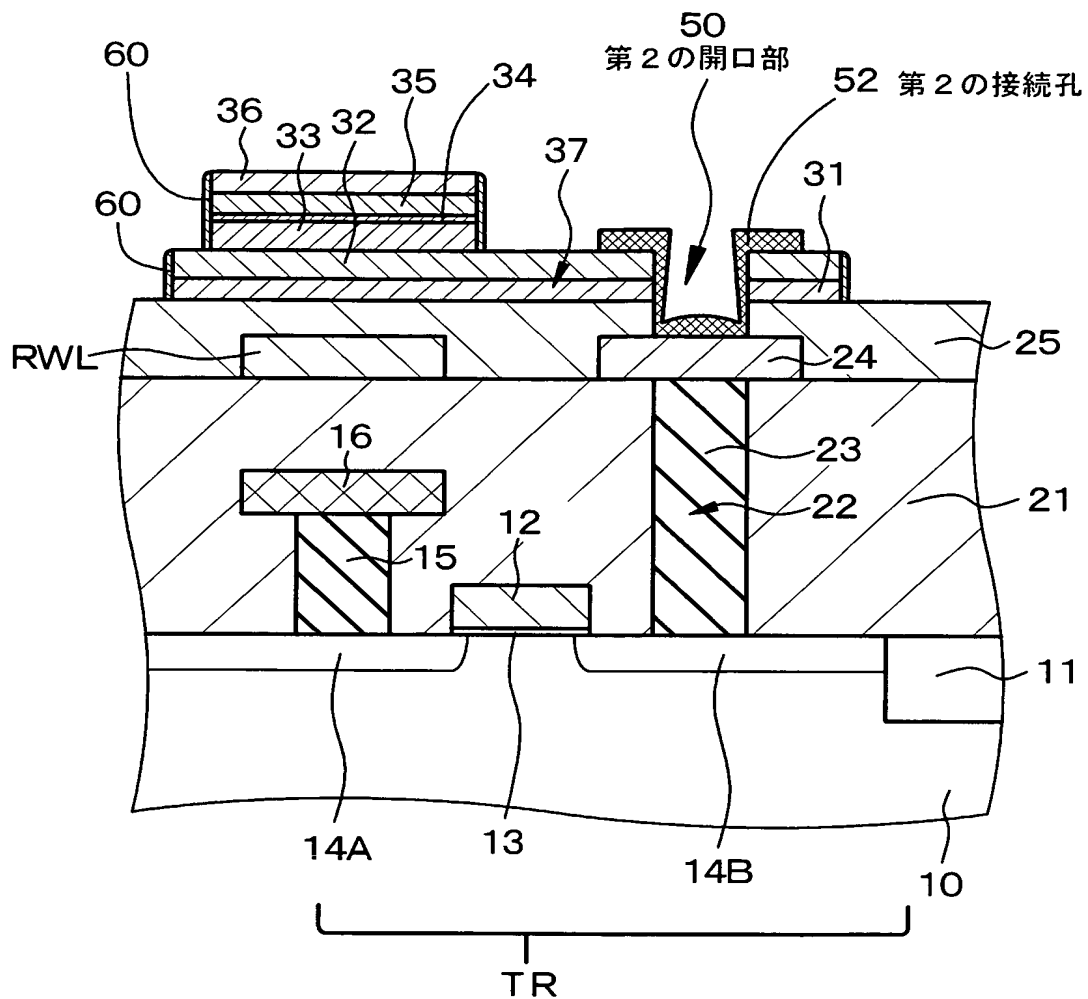
[工程—620]



【図 3 2】

【図 3 2】

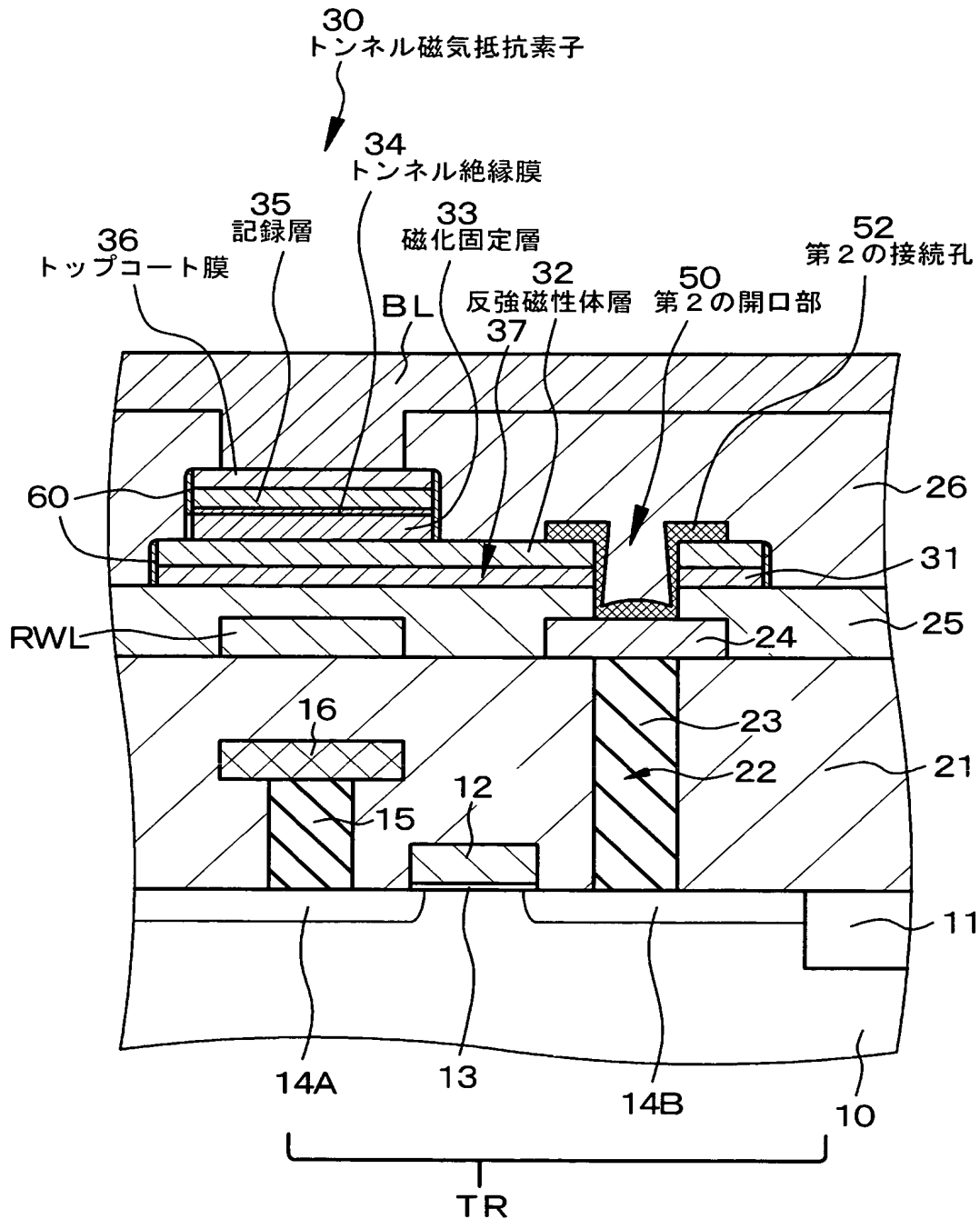
[工程 - 6 3 0]



【図 3 3】

【図 3 3】

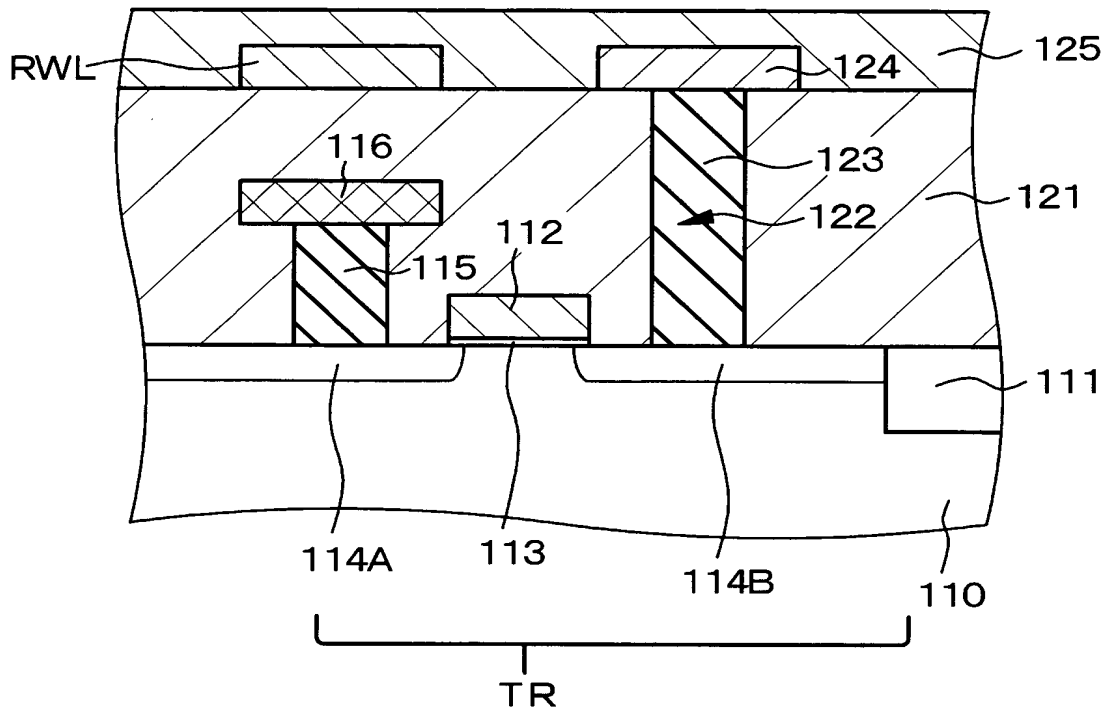
[工程—635]



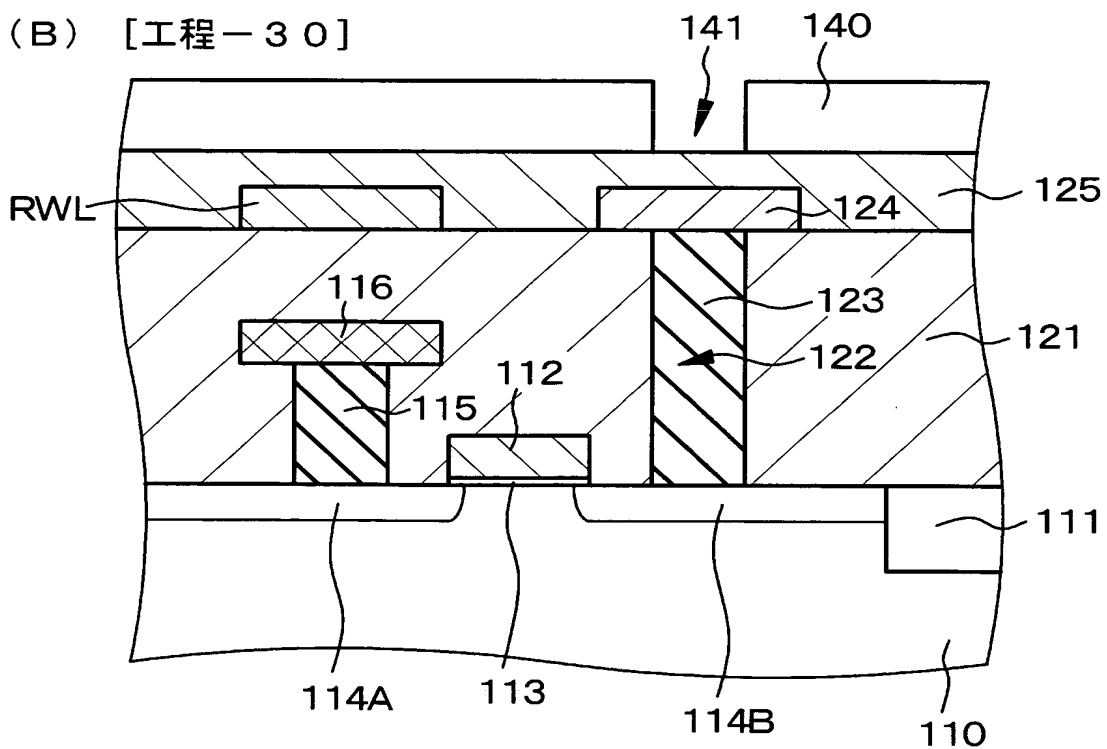
【図 3 4】

【図 3 4】 (従来技術)

(A) [工程-20]



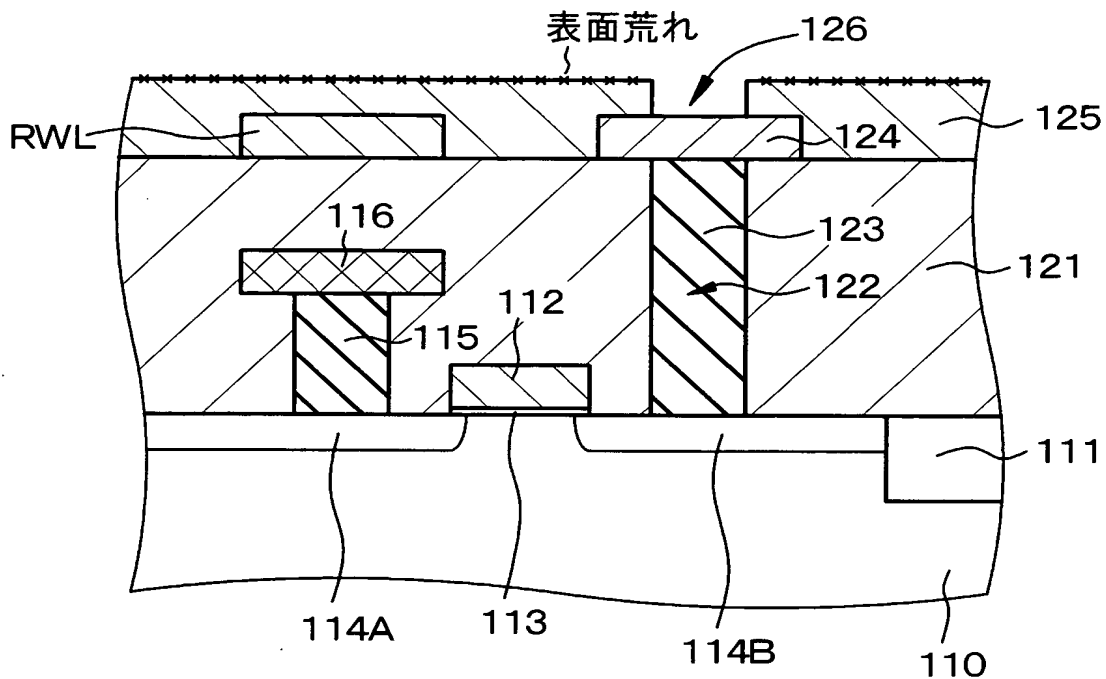
(B) [工程-30]



【図 3 5】

【図 3 5】 (従来の技術)

[工程 - 3 0] 続き



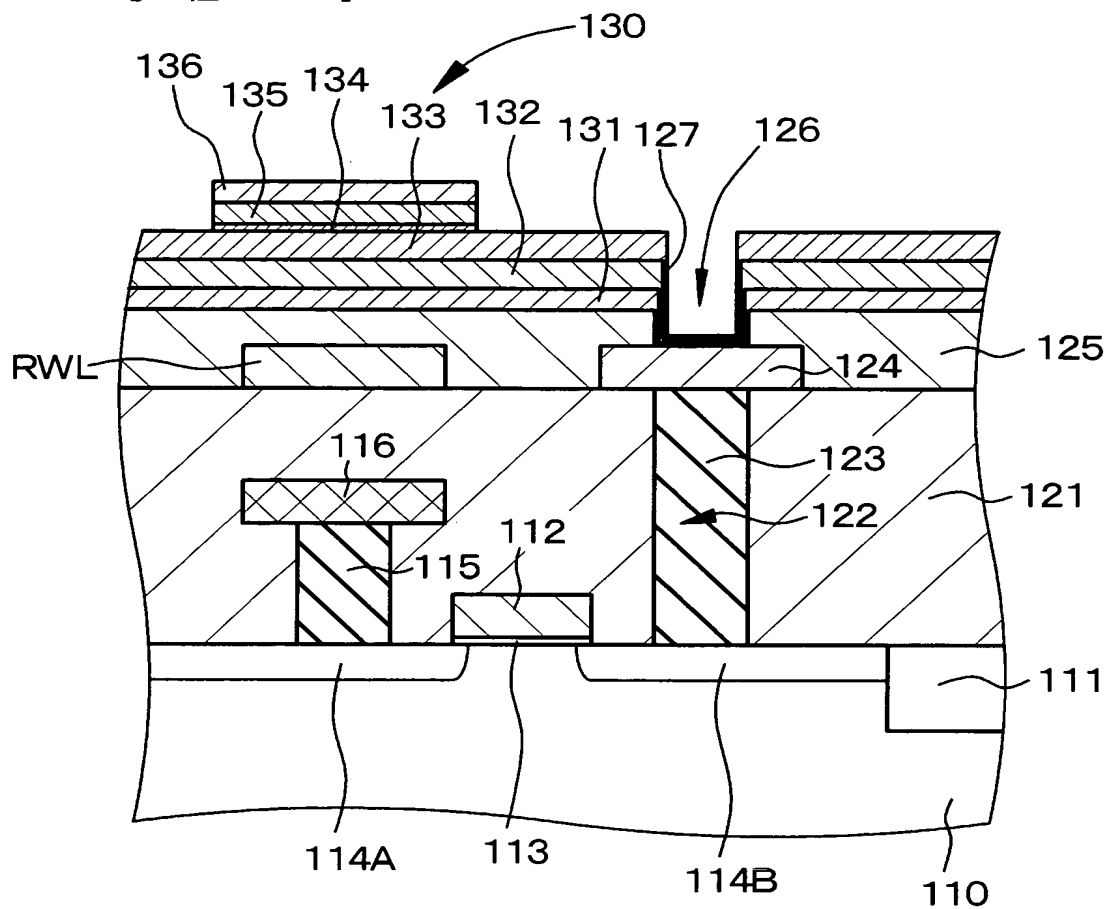




【図 3 7】

【図 37】 (従来の技術)

[工程-50]

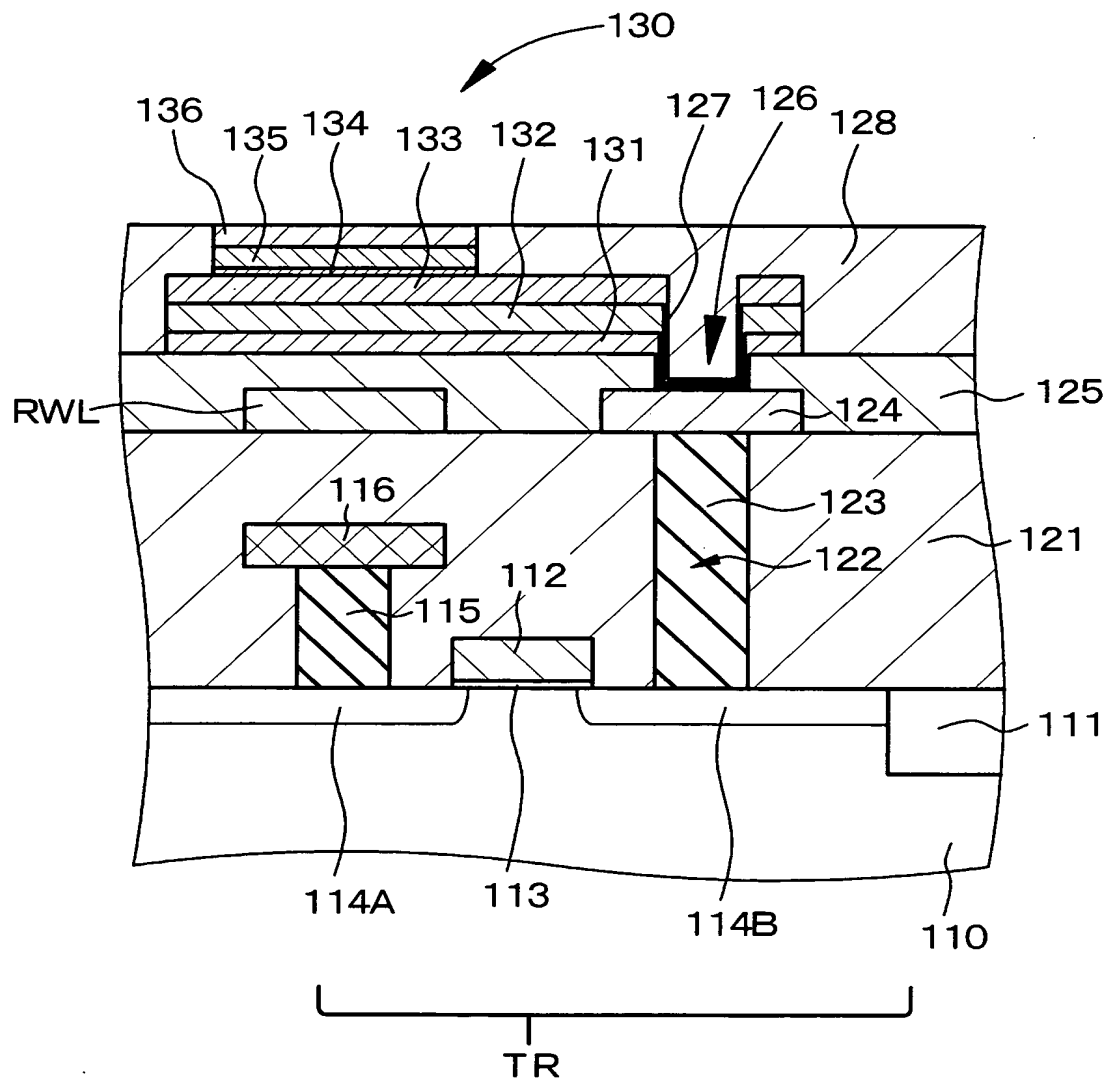




【図 39】

【図 39】 (従来の技術)

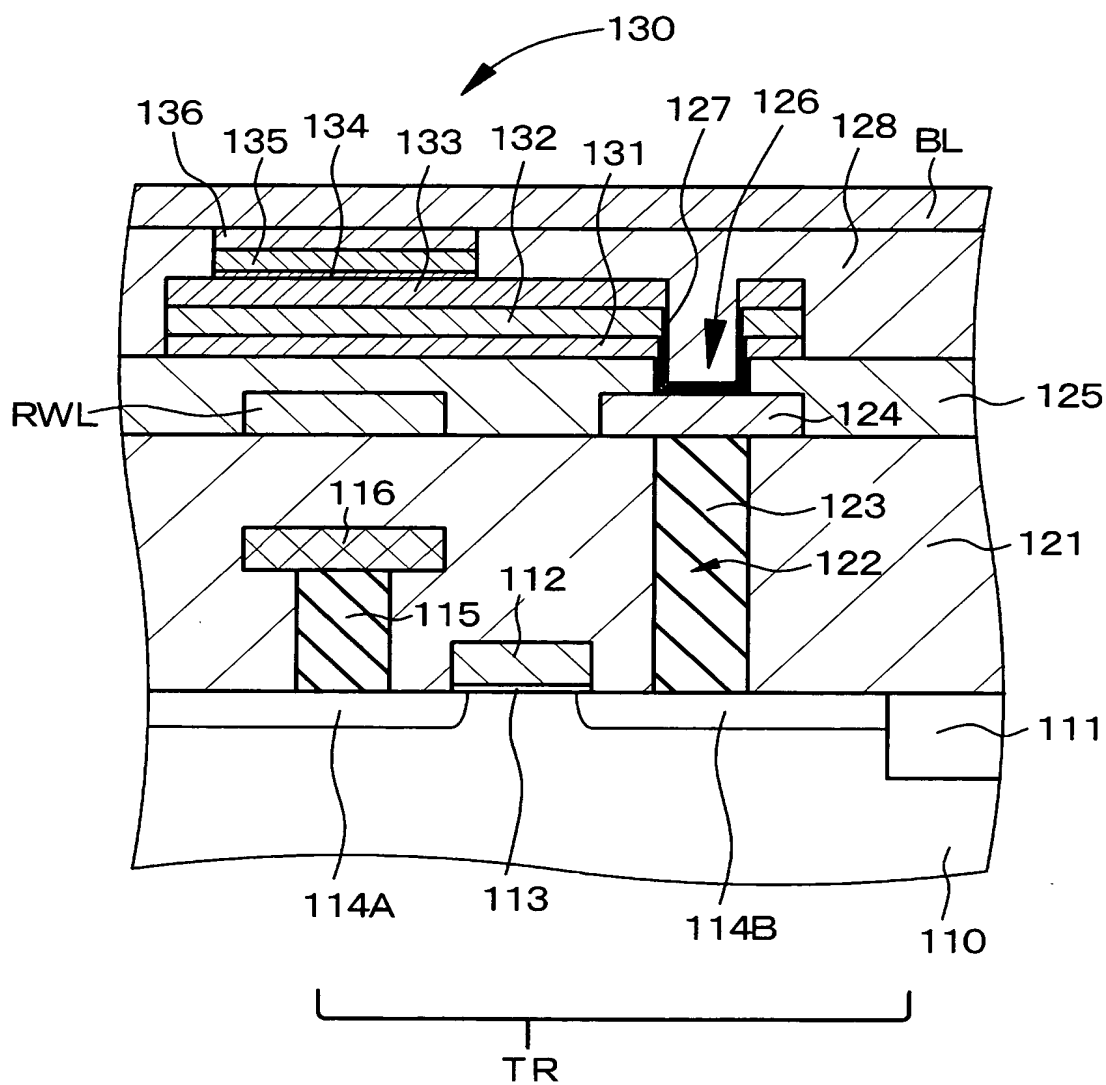
[工程-60] 続き



【図 40】

【図 40】 (従来の技術)

[工程-60] 続き



【書類名】 要約書

【要約】

【課題】 トンネル磁気抵抗 (TMR) 素子を構成する各種の層の平坦化を確実に達成でき、しかも、TMR素子と選択用トランジスタとを電氣的に接続する接続孔に高い信頼性を付与し得る構造を有するMRAMを提供する。

【解決手段】 TMRタイプのMRAMは、選択用トランジスタTR、第1の接続孔23、第1の配線（書込みワード線RWL）、第1の層間絶縁層21及び第1の配線RWLを覆う第2の層間絶縁層25、第2の層間絶縁層25上に形成されたTMR素子30、第3の層間絶縁層26上に形成された第2の配線（ビット線）、及び、第2の層間絶縁層25に設けられ、第1の接続孔23と接続された第2の接続孔52を有し、TMR素子30の他端の延在部37の端面は第2の接続孔52と接している。

【選択図】 図8

特願 2 0 0 3 - 0 0 0 4 8 6

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 2 1 8 5 ]

1. 変更年月日

1 9 9 0 年 8 月 3 0 日

[変更理由]

新規登録

住 所

東京都品川区北品川 6 丁目 7 番 3 5 号

氏 名

ソニー株式会社